

平成24年12月10日

東京工業大学広報センター長
大 谷 清

CMOS ロジックの消費電力を大幅に削減する新しいデバイス・回路技術確立 ー不揮発性磁気抵抗メモリ技術を応用したスピントランジスタ技術の開発ー

【要点】

- 不揮発性磁気抵抗メモリの技術を応用して、スピントランジスタの機能を回路的に再現できる擬似スピン MOSFET の技術を開発.
- 擬似スピン MOSFET を用いて、高効率に CMOS ロジックのスタンバイ電力を削減できる回路(不揮発性 SRAM, 不揮発性フリップフロップ)・アーキテクチャ技術(不揮発性パワーゲーティング)を開発.

【概要】

東京工業大学の菅原聡准教授, 周藤悠介特任助教, 山本修一郎助教らは, 科学技術振興機構戦略的創造研究推進事業 (CREST) の支援を受け, 不揮発性磁気抵抗メモリ (MRAM) の技術を応用したスピントランジスタ (擬似スピン MOSFET) とこれを応用した CMOS ロジックのスタンバイ電力削減回路・アーキテクチャを開発した.

最先端のナノスケール MOSFET を用いた擬似スピン MOSFET の高精度シミュレーションによる性能の定量評価技術および設計技術を開発し, このシミュレーション技術により, 擬似スピン MOSFET を用いて構成できる不揮発性 SRAM・不揮発性フリップフロップの設計・駆動方式に関する回路技術, およびこれらの記憶回路を用いて実現できる不揮発性パワーゲーティングによるスタンバイ電力削減アーキテクチャを開発した. 本技術によって従来の CMOS 技術のみでは達成できない高効率のスタンバイ電力の削減が可能であることを明らかにした. この擬似スピン MOSFET による不揮発性パワーゲーティング技術は CMOS ロジックのメインストリームであるマイクロプロセッサやシステムオンチップ (SoC), さらには FPGA (プログラム可能なゲートアレイ) に搭載が可能である.

この研究成果は, 12月10日から米国サンフランシスコで開催される米国 IEEE 学会主催の電子デバイス技術に関する世界最高峰の国際会議 IEDM で発表する.

●背景と研究の経緯

最近のパーソナルコンピュータ(PC)、サーバのマイクロプロセッサや、スマートフォン等の携帯機器のシステムオンチップ(SoC)などのCMOSロジックシステムではトランジスタの微細化と高密度集積化に伴い、リーク電流によって待機時に消費するスタンバイ電力が著しく増大している。このスタンバイ電力の削減はCMOSロジックにおける重要な課題の一つになっている。

パワーゲーティング(PG)はロジック回路をパワードメインと呼ばれるブロックに分割して、パワードメインごとに電源遮断を行うことで、スタンバイ電力を削減する方法である。これは日本の企業が発案したもので、現在ではマイクロプロセッサやSoCなどのCMOSロジックシステムにおける必須のスタンバイ電力削減のアーキテクチャの一つになっている。PGにおける省電力(エネ)効果は、PGの空間的な粒度(パワードメインの大きさ)とPGを行う時間的な粒度(PGをかける時間的頻度)が重要になるが、ロジックシステム内にあるフリップフロップやSRAMと呼ばれる記憶回路が揮発性(電源遮断によって記憶している情報を失う性質)であることが、PGの空間的・時間的粒度(すなわち省エネ効果)に制約を与えている。

菅原准教授ら研究グループは、これまでにロジックシステム内の記憶回路を、CMOS/スピントロニクス融合技術(特にスピントランジスタ技術)によって回路性能を劣化させることなく不揮発化することでPGに関する問題を解消し、最適な空間的・時間的粒度の(エネルギー削減効率の高い)PGが実現できる不揮発性パワーゲーティング(NVPG)を提案してきた。

●研究成果

CMOS/スピントロニクス融合技術によるスピントランジスタはCMOSロジックシステムにおけるスタンバイ電力の削減に有効な機能デバイスとして期待されているが、開発途上にあり実現には至っていない。今回、同研究グループはMOSFETと不揮発性磁気抵抗メモリ(MRAM)の記憶素子である強磁性トンネル接合(MTJ)を組み合わせることでスピントランジスタの機能を実現できる擬似スピンMOSFET技術と、これを用いた不揮発性パワーゲーティング(NVPG)技術を開発した。

CMOS技術においては実測を完全に再現/予測できるSPICE(電子回路の動作をシミュレーションするソフトウェア)ベースの回路シミュレーション技術確立することが必要となる。そこで、はじめにMTJのSPICE用高精度マクロモデルの開発を行った。このマクロモデルはMTJの電気特性を、スピン注入磁化反転とその時間領域における過渡応答を含めて忠実に再現することができる。ハイブリッド集積化による擬似スピンMOSFETの試作・評価から、開発したMOSFET/MTJ融合回路のシミュレーション技術の妥当性・定量性を確認できた。(MTJは物質・材料研究機構の猪俣浩一郎名誉フェロー、三谷誠司グループリーダーらの研究グループから提供を受けた。)

次に、このシミュレーション技術を用いて、65nmから22nmの各世代の最先端MOSFETを用いた場合の擬似スピンMOSFETの性能を明らかにした。どの世代のMOSFETを用いても十分なスピントランジスタ動作(磁気電流比)が得られること、各世代における低減された電源電圧でもスピン注入磁化反転が可能であることなどを明らかにした。さらに、磁気電流比のバイアスによる挙動や各種デバイスパラメータの依存性を明らかにして、所望の特性の得られる擬似スピンMOSFETの設計技術確立した。

次に、NVPGに必要な擬似スピンMOSFETを用いた不揮発性SRAM(NV-SRAM)と不揮発性フリップフロップ(NV-FF)の開発を行った。同研究グループの提案したNV-SRAM, NV-FF

は擬似スピン MOSFET によって通常の SRAM/FF 動作と NVPG を行う際の不揮発記憶の動作を分離することが可能となる. この機能分離を用いることで, 高効率にエネルギーを削減できる NVPG を実現できることを明らかにした. 特に, NVPG に重要となる Break-even time (BET)と呼ばれる性能指標を最小化する NV-SRAM の駆動方式や, NV-FF の設計方法を開発し, これらの技術を用いれば, 通常の CMOS 技術では達成できない時間的・空間的細粒度の NVPG が実現できることを明らかにした. また, 擬似スピン MOSFET によるこの通常動作/不揮発記憶の機能分離は, 従来の SRAM や FF との通常動作における互換性を保ち, さらに回路性能や安定性を劣化させることなく通常動作を実行することも可能にする.

以上の研究成果から, 擬似スピン MOSFET を用いた NV-SRAM および NV-FF によって, CMOS ロジックにおける PG の性能を極限までに引き出すことのできる NVPG を実現できると結論した.

●今後の展開

擬似スピン MOSFET を用いた NV-SRAM と NV-FF を用いればロジックシステムにおける階層構造メモリシステムを NVPG に適した構成で不揮発化することができる. また, 今回開発した NV-SRAM と NV-FF では擬似スピン MOSFET による通常動作と不揮発記憶の機能分離によって, マイクロプロセッサや SoC などのロジックシステムの開発における最重要事項の一つである既存システムとの互換性・整合性といった特徴も併せ持つ. したがって, 先端 CMOS の分野で盛んに研究開発されているダイナミックパワーを低く抑える技術をそのまま活用し, NVPG によってスタンバイパワーを劇的に減少させることが可能になる. 以上のことから, 今回の研究成果は総合的に極めて低消費電力の CMOS ロジックシステムを構築できる新たな基盤技術になると期待される.

謝辞

今回の研究成果のうちデバイス試作の部分は, 物質材料研究機構の猪俣浩一郎名誉フェロー, 三谷誠司グループリーダー, 介川裕章博士, 東京大学の田中雅明教授, 中根了昌特任講師らの研究グループとの共同研究によるものである. また, 本研究は独立行政法人科学技術振興機構の CREST プログラムの支援を受けた.

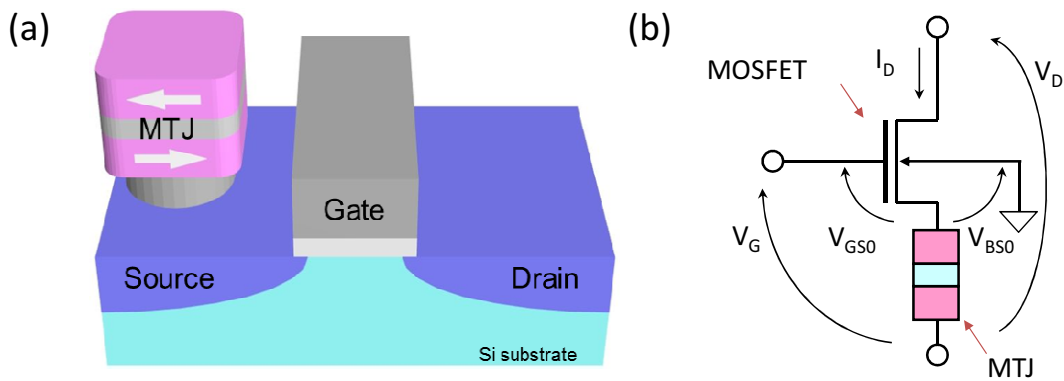


図1 (a)擬似スピン MOSFET のデバイス構造(概念図). 擬似スピン MOSFET は MRAM 技術を用いて通常の MOSFETとMTJを集積化することで実現できるスピントランジスタで, 本研究者らによって提案された. MTJの磁化状態(平行磁化/反平行磁化)を変化させることで電流駆動能力を変化させることができる. 実際にはMTJは多層配線間に集積化される. (b)擬似スピン MOSFET の回路構成. MTJ を MOSFET のソースに接続し, MTJ の電圧降下によってゲートに負帰還をかけることで, MTJ の直列抵抗の変化以上に MOSFET の電流駆動能力を変調することができる.

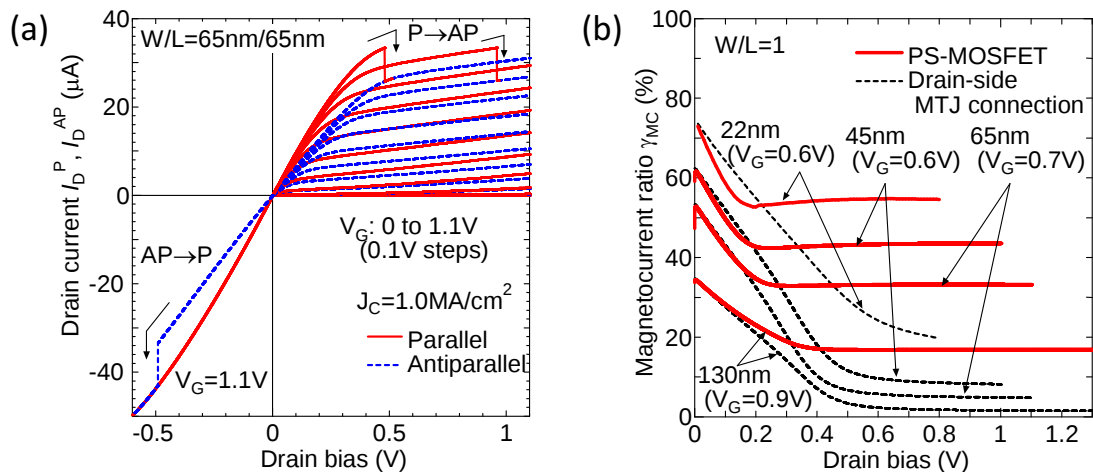


図2 (a)擬似スピン MOSFET (PS-MOSFET) の出力特性. 図中の赤い線と青い線はそれぞれ MTJ の磁化状態を平行磁化, 反平行磁化とした場合の出力特性である. 平行磁化と反平行磁化とで電流駆動能力が変化し, スピントランジスタ動作していることがわかる. また, ゲート電圧が大きいくところではスピン注入磁化反転によって, 磁化状態を変化させることができる. (b)擬似スピン MOSFET の磁気電流比のドレインバイアス依存性. 磁気電流比は MTJ の磁化状態が平行磁化の場合と反平行磁化の場合における擬似スピン MOSFET の出力電流の変化率である. 磁気電流比はドレインバイアスの増加とともに減少するが, ある程度以下には減少しない. これは擬似スピン MOSFET の負帰還の効果である(図中の点線は MTJ による負帰還がかからない回路構成のもの). また, 磁気電流比はデバイスサイズのスケールアップとともに増大することも確認できる. さらに, 磁気電流比はゲートバイアスの増加と共に増大する. この磁気電流比は MOSFET の W/L 比, MTJ のトンネル磁気抵抗比, 抵抗・面積積などで設計可能である.

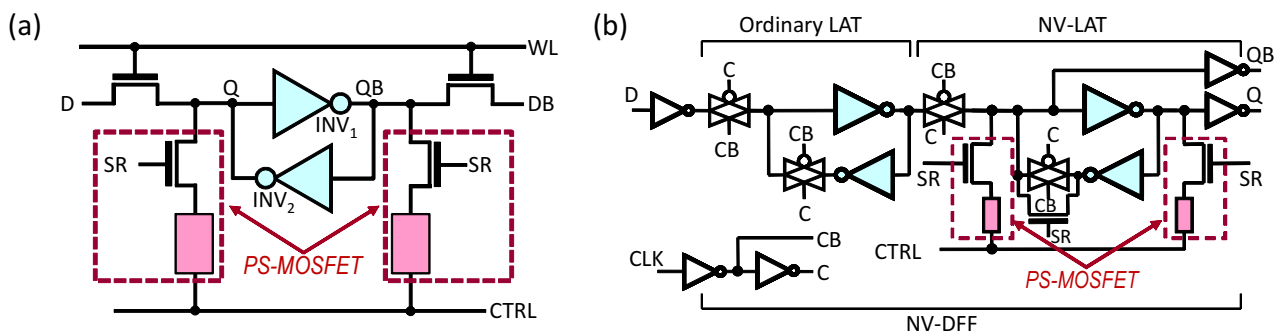


図3 擬似スピン MOSFET (PS-MOSFET) を用いた(a)不揮発性 SRAM (NV-SRAM)と(b)不揮発性ディレイ FF (NV-DFF) の回路構成. どちらの場合でもインバータループによる双安定回路部の記憶ノードに擬似スピン MOSFET を接続することで構成できる. 擬似スピン MOSFET を遮断することで, 双安定回路を MTJ から電氣的に切り離し, 通常の SRAM, DFF として動作することが可能である. 不揮発性パワーゲーティング (NVPg) を行う場合のみ擬似スピン MOSFET を導通して, 不揮発記憶を行う. この通常動作と不揮発記憶の機能分離によって, 回路性能を劣化させることなくロジックシステムを不揮発化することが可能となる.

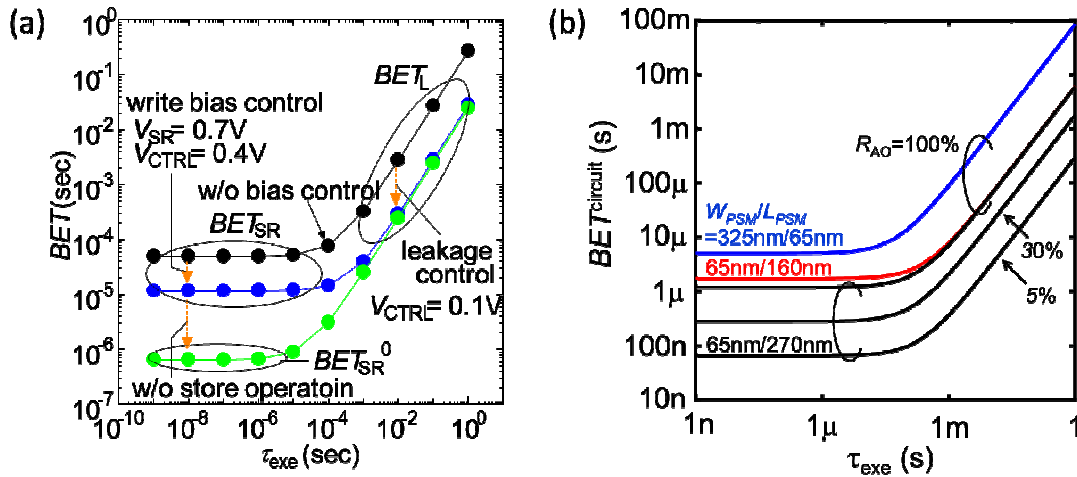


図4 (a)NV-SRAMのBET(通常SRAM動作の実行時間依存性). BETはパワーゲーティングの重要な性能指標で、これを小さくすることでエネルギー削減効率の高いパワーゲーティングを実現できるようになる. 不揮発性パワーゲーティング(NVPG)時、通常動作時のバイアス制御によってBETを縮小することができる. また、NV-SRAMのキャッシュ応用ではストアフリーシャットダウンといった新たなアーキテクチャを導入することで、BETはさらに大きく削減できる. (b)NV-DFFのBET(通常FF動作の実行時間依存性). NV-DFFはレジスタに応用されるが、この場合ではバイアス制御は好ましくないため、擬似スピンMOSFETの設計でBETを削減する. また、NV-DFFのロジックシステムにおける占有率もBETに大きく影響する. NV-SRAM,NV-DFFともに十分に細粒度のNVPGを実現できるBETを達成できる.

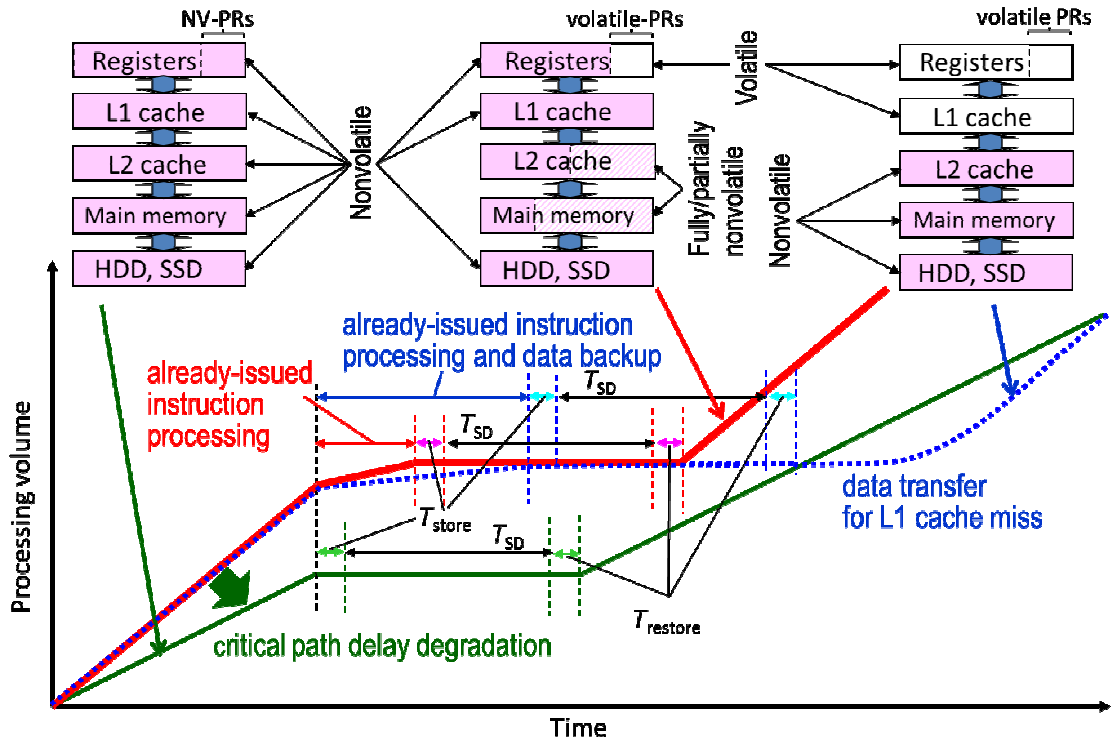


図5 NVPG可能なマイクロプロセッサ/SoCのメモリ階層構造の例. 通常動作時の性能を考慮して図中の中心にある階層構造構成を提案した. 性能を考慮すれば、パイプラインのようなクリティカルパスにあり、しかもテンポラリに使うレジスタは不揮発化しない. また、下層のメモリもすべてを不揮発化しない方が良い場合もある. この構成は擬似スピンMOSFETを用いたNV-SRAM,NV-DFFのように、通常動作と不揮発動作を分離できる記憶回路をL1またはL2キャッシュ以上の上位階層に用いることが必須である.

【用語説明】

1) 強磁性トンネル接合 (MTJ)

薄い絶縁性薄膜(トンネル障壁)を2つの強磁性電極で挟んだトンネル接合構造の2端子素子で、不揮発性メモリ MRAM の記憶素子に用いられる。強磁性電極の相対的な磁化状態が平行な場合と、反平行の場合で素子の電気抵抗が異なる。また、100nm 程度以下に微細化された MTJ ではスピン注入磁化反転と呼ばれる現象によって、磁場を用いることなく、電氣的に磁化状態を変化させることができる。

2) スピントランジスタ

スピントランジスタは巨大磁気抵抗(GMR)素子、強磁性トンネル接合(MTJ)などの2端子の磁気抵抗素子と同様にデバイス内に少なくとも2層以上の強磁性電極を含み、互いの磁化方向が揃う平行磁化と反対向きになる反平行磁化を実現することができて、この磁化状態によって電流駆動能力(トランスコンダクタンス)を変えることのできるトランジスタである。同じバイアス下であって平行磁化状態では入力に対して大きな出力電流が得られるのに対して、反平行磁化状態では電流は低く抑えられる。したがって、磁化状態によって電流駆動能力が異なり、またこの電流駆動能力は磁化状態によって不揮発に保持できるといった特徴を持つ。平行磁化と反平行磁化における電流の変化率を磁気電流比と呼び、スピントランジスタの評価に用いる。

3) 擬似スピン MOSFET

擬似スピン MOSFET は、通常の MOSFET と MTJ を用いた回路技術でスピントランジスタの機能を再現するもので、不揮発性メモリ MRAM(スピン RAM)の技術を用いて容易に実現できるスピントランジスタである。これは、本研究者らによって初めて提案された。MTJ による電圧降下をゲートに負帰還することで、MTJ の抵抗変化以上に出力電流を変化させることができる。

4) 不揮発性パワーゲーティング (NVPG)

マイクロプロセッサや SoC (system-on-chip) におけるメモリシステムに不揮発の機能を付加し、高効率のスタンバイ電力の削減が可能なパワーゲーティングを実現するアーキテクチャで、本研究者らによって提案された。通常動作と不揮発記憶の動作を分離することで、コア内部まで不揮発化をすることが可能となり(コアすべてではない)、現状のパワーゲーティングでは実現できない最適な空間的・時間的粒度のパワーゲーティングを実行できる。このため、スタンバイ電力の削減効率を極めて(極限まで)高くできる。通常動作/不揮発記憶の機能分離によって、マイクロプロセッサや SoC の既存アーキテクチャとの整合性が高く、具現性も高い。NVPG を実現するためには不揮発性 SRAM(NV-SRAM)や不揮発性 FF(NV-FF)などの不揮発性双安定回路が必要であるが、通常動作と不揮発記憶の動作を完全に分離できる回路構成であることが必要となる。

ロジックシステムに不揮発の機能を取り入れる発想は古くからあるが、パワーゲーティングに不揮発を導入してパワーゲーティングの能力を極限まで引き出そうという試み(NVPG)は本研究者らによって初めて提案された。この NVPG はノーマリオフ・コンピューティングとしばしば混同されることがあるが、NVPG はこれとは以下に示すように全く異なる。

ノーマリオフ・コンピューティングは不揮発性メモリを用いて、システムの電源遮断を頻繁に行い、またできるだけ高速に電源遮断状態からリブート(再起動)するアーキテクチャである(高性能化したインスタントオンである)。オリジナルのアイデアではメモリシステムのすべてを不揮発化して頻繁にシステムのオン/オフ繰り返すアーキテクチャであった。したがって、システムのランタイム(プログラム実行時)にスタンバイ電力の削減の効果がなく、この削減のためにはパワーゲーティングを併用する必要があった。最近の構成では、メモリシステムの上位階層は不揮発化を行わないで、通常のパワーゲーティングを行うものに変更している。通常動作に不揮発を使うと深刻な性能劣化を及ぼすという、従来からの我々の意見が理解されたと考えられる。このシステムでは従来のパワーゲーティングの問題はそのまま残る。(我々の提

案した NVPG は必然的にノーマリオフの機能を含む上位概念である)

5) 不揮発性双安定回路 (NV-SRAM, NV-FF)

NV-SRAM や NV-FF などの不揮発性双安定回路はこれまでもインバータループに抵抗変化型の不揮発性メモリ素子を直接接続する方法が提案されてきたが、従来の方式ではインバータループ内に接続された不揮発性メモリ素子が、通常の双安定回路の動作に悪影響を与え、動作速度の劣化や消費電力の増大、さらにはバラツキ耐性やノイズマージンの減少など回路性能の劣化を生じる。このため、本研究者らが提案しているように通常動作と不揮発記憶の動作を完全に分離できる回路構成が必要になる。本研究者らの提案した不揮発性双安定回路は、インバータループ外に擬似スピン MOSFET を接続するため、インバータループと不揮発性メモリ素子 (MTJ) を電気的に分離できる。したがって、通常の SRAM 動作やフリップフロップ動作に影響を与えることなく、不揮発記憶/NVPG 動作を実行できる。

6) Break-even time (BET)

NVPG では、各パワードメインを電源遮断する場合に NV-SRAM, NV-FF に不揮発記憶を行うが、このとき大きなエネルギー消費を伴う。このような NVPG に伴う余計なエネルギー消費があるため、闇雲に NVPG を実行するとむしろエネルギー消費を増大させてしまうことがある。“不揮発”=“低消費電力”といわれることがあるが、これは大きな間違いである。一般に“不揮発”≠“省エネ”であることに注意する必要がある。NVPG に要するエネルギー消費を埋め合わせる時間以上に電源遮断することでスタンバイ時のエネルギー消費の削減が可能となるが、この最低限必要な電源遮断時間が Break-even time (BET) である。BET を短くすることで時間的・空間的細粒度の NVPG が実現可能となる。従来の CMOS ロジックシステムにおいては BET の概念はすでに用いられていたが、不揮発を使ったパワーゲーティング (すなわち NVPG) にこの概念を適応したのは本研究者らが初めてである。不揮発を使ったロジックシステムにおける BET の一般的な定式化も本研究者らによって初めて行われた。

【発表論文】

“Design and performance of pseudo-spin-MOSFETs using nano-CMOS devices”

Y. Shuto, S. Yamamoto, H. Sukegawa, Z.C. Wen, R. Nakane, S. Mitani, M. Tanaka, K. Inomata, and S. Sugahara, 2012 IEEE International Electron Devices Meeting (IEDM2012), December 10–12, 2012, San Francisco, CA, USA, paper 29.6.

【問い合わせ先】

周藤悠介 (シュウトウ ユウスケ) 特任助教

東京工業大学 像情報工学研究所

〒226-8502 神奈川県横浜市緑区長津田 4259-J3-14

Tel: 045-924-5456 Fax: 045-924-5456

E-mail: shuto@isl.titech.ac.jp

菅原 聡 (スガハラ サトシ) 准教授

東京工業大学 像情報工学研究所

〒226-8502 神奈川県横浜市緑区長津田 4259-J3-14

Tel: 045-924-5456 Fax: 045-924-5456

E-mail: sugahara@isl.titech.ac.jp