

平成24年12月10日

東京工業大学広報センター長
大谷 清

CMOS/スピントロニクス融合技術を用いた新しい低消費電力技術を開発 ー不揮発記憶を利用した新しいパワーゲーティング技術の設計指針確立ー

【要点】

- 擬似スピン MOSFET を用いれば、回路性能や安定性を劣化させることなく不揮発性 SRAM や不揮発性フリップフロップといった不揮発性双安定回路を実現できる。
- 擬似スピン MOSFET を用いた不揮発性 SRAM と不揮発性フリップフロップを用いれば、CMOS ロジックの性能劣化を生じることなく、不揮発記憶を活用したスタンバイ電力削減アーキテクチャ(不揮発性パワーゲーティング)を実現できる。
- 不揮発性 SRAM と不揮発性フリップフロップを用いた不揮発性パワーゲーティングの電力削減効率は、擬似スピン MOSFET の制御のみならず、電源遮断時のリーク電流にも強く依存することを明らかにして、不揮発性パワーゲーティングの設計論を確立した。
- 不揮発性パワーゲーティングを用いれば、従来の CMOS 技術では達成できない高い効率でスタンバイ電力を削減することが可能になる。

【概要】

東京工業大学の菅原聡准教授、周藤悠介特任助教、山本修一郎助教らの研究グループは、神奈川科学技術アカデミーと共同で、CMOS/スピントロニクス融合技術を応用した擬似スピン MOSFET を用いて構成できる不揮発性 SRAM(NV-SRAM) および不揮発性フリップフロップ(NV-FF)の開発を行った。高精度回路シミュレーションから、擬似スピン MOSFET を用いたこれら記憶回路の優位性・有用性と、不揮発性パワーゲーティング(NVPG)と呼ばれる究極のスタンバイ(待機時)電力削減アーキテクチャへ応用した場合の効果と設計指針を明らかにした。

この研究成果は、12月10日から米国サンフランシスコで開催される米国 IEEE 学会主催の電子デバイス技術に関する世界最高峰の国際会議 IEDM で発表する。

●背景と研究の経緯

最近のパーソナルコンピュータ(PC)、サーバのマイクロプロセッサや、スマートフォンなどの携帯機器のシステムオンチップ(SoC)などのCMOSロジックシステムではトランジスタの微細化と高密度集積化に伴い、リーク電流によって待機時に消費するスタンバイ電力が著しく増大している。このスタンバイ電力の削減はCMOSロジックにける重要な課題の一つになっている。

パワーゲーティング(PG)はロジック回路をパワードメインと呼ばれるブロックに分割して、パワードメインごとにシャットダウン(電源遮断)を行うことで、スタンバイ電力を削減する方法である。これは日本の企業が発案したもので、現在ではマイクロプロセッサやSoCなどのCMOSロジックシステムにおける必須のスタンバイ電力削減のアーキテクチャの一つになっている。PGにおける省電力(エネ)効果は、PGの空間的な粒度(パワードメインの大きさ)とPGを行う時間的な粒度(PGをかける時間的頻度)が重要になるが、ロジックシステム内にあるフリップフロップやSRAMと呼ばれる記憶回路が揮発性(シャットダウンによって記憶している情報を失う性質)であることが、PGの空間的・時間的粒度(すなわち省エネ効果)に制約を与えている。

同研究グループは、これまでにロジックシステム内のSRAMおよびフリップフロップ(FF)からなる記憶回路を、CMOS/スピントロニクス融合技術を用いて実現できる擬似スピンMOSFETによって、回路性能を劣化させることなく不揮発化し、PGに関する問題を解消して、最適な空間的・時間的粒度の(すなわちエネルギー削減効率の高い)PGを実現する不揮発性パワーゲーティング(NVPG)を提案してきた。

●研究成果

同研究グループの提案している擬似スピンMOSFETを用いた不揮発性SRAM(NV-SRAM)、不揮発性FF(NV-FF)の最大の特徴は、SRAMやFFの通常動作と不揮発記憶の機能分離ができることである。この機能分離によって、回路・システムの性能を劣化させることなく、NVPGを行うことが可能となる。

はじめに、擬似スピンMOSFETを用いて構成したNV-SRAMの動作における優位性と有用性を、高精度回路シミュレーションから明らかにした。これまでにいくつかの研究機関から発表されている強磁性トンネル接合(MTJ)を用いた各種NV-SRAMとのスタティックノイズマージン(SNM; 誤動作することなく安定に動作できるかを表す指標)の比較を行ったところ(ここではワーストケースとなるSRAMの読み出し時のSNMを比較した)、他の研究機関から提案されたNV-SRAMではセルに接続されたMTJがSNMに悪影響を与え、十分なSNMが確保できないことが明らかになった。

一方、同研究グループの提案した擬似スピンMOSFETを用いたNV-SRAMでは、通常動作と不揮発記憶の電気的な機能分離ができるため、SNMは完全に通常の6トランジスタSRAM(6T-SRAM)と完全に一致することが確認できた(すなわち誤動作なく安定動作可能)。また、NV-FFの動作安定性も同様であること、さらに擬似スピンMOSFETを用いた回路構成では、通常動作時の動作速度の劣化もごくわずかであることなどもわかっている。以上の結果は、擬似スピンMOSFETを用いたNV-SRAMとNV-FFを用いれば、回路・システムの性能を劣化させることなく、不揮発の機能をロジックシステムに導入することが可能となることを意味している。

次に、NV-SRAMのエネルギー性能から、NVPGの設計指針について検討を行った。ここでは、エネルギー削減効率の最適化に重要であると考えられるNV-SRAMをシャットダウンした場合に生じるリーク電流の影響について調べた。近年、パワーゲーティングが一般化されるにつれ、パワ

ーゲーティングではシャットダウン時にリーク電流が完全に遮断できるようなことを安易に言われることがあるが、これは誤りである。パワードメインの電源を遮断するトランジスタ(スリープトランジスタと呼ばれます)の影響で、実際にはパワードメインに零ではない有限の電圧が印加されている。このためパワードメインではシャットダウン時でもリーク電流は発生している。そこで、この影響について調べた。

NV-SRAM が通常動作、スリープ、NVPG の各動作を行ったときの平均消費電力の削減率(通常の6T-SRAM と比較した削減率)を解析した。ここでは NV-SRAM の動作モードとして、Break-even time (BET)の削減のためのバイアス制御や、BET 以下のスタンバイ時に導入されるスリープモード(電源電圧を少し下げるモード)など、同研究グループの開発した低電力化のテクニックはすべて導入してある。NV-SRAM のシャットダウン時のリーク電流をパラメータとした平均消費電力の削減率は、このリーク電流に強く依存し、この影響によって平均消費電力の削減率が大きく低下することが明らかになった。また、BETもシャットダウン時のリーク電流とともに急増することがわかった。NV-FF でも同様の結果が得られた。以上のことは、十分なNVPGの効果を得るためには、NVPG 自体の制御だけでなく、シャットダウン時におけるリーク電流を下げるためのパワードメインとスリープトランジスタの設計も極めて重要であることを示している。

今回の本研究成果をまとめると、擬似スピン MOSFET による NV-SRAM と NV-FF を用いれば、回路性能を劣化することなくロジックシステムに NVPG を導入することができることがわかった。また、この NV-SRAM と NV-FF を用いることで、通常の CMOS のみでは実現できない高効率のエネルギー削減が可能な NVPG が実現できるが、このエネルギー削減効率は、NV-SRAM と NV-FF の設計、駆動方式に加え、さらにシャットダウン時のリーク電流も考慮して最適化する必要があることを明らかにした。本研究では、これらの結果を踏まえ NVPG を実現するための設計技術を確立した。

●今後の展開

擬似スピン MOSFET を用いた NV-SRAM と NV-FF を用いればロジックシステムにおける階層構造メモリスシステムを NVPG に適した構成で不揮発化することができる。また、今回開発した NV-SRAM と NV-FF では擬似スピン MOSFET による通常動作と不揮発記憶の機能分離によって、マイクロプロセッサや SoC などのロジックシステムの開発における最重要事項の一つである既存システムとの互換性・整合性といった特徴も併せ持つ。したがって、先端 CMOS の分野で盛んに研究開発されているダイナミックパワーを低く抑える技術をそのまま活用し、NVPG によってスタンバイパワーを劇的に減少させることが可能になる。以上のことから、今回の研究の成果は総合的に極めて低消費電力の CMOS ロジックシステムを構築できる新たな基盤技術になると期待される。

謝辞

今回の研究成果は神奈川科学技術アカデミー (KAST) の支援を受けた。

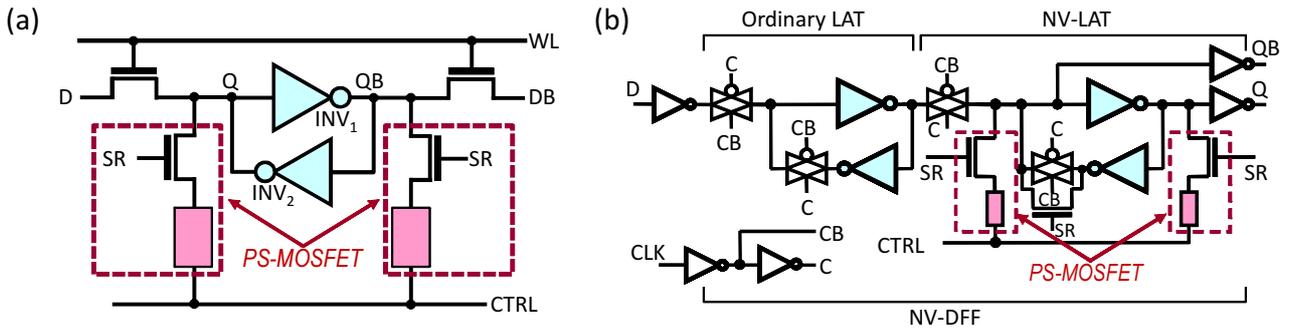


図1 擬似スピン MOSFET (PS-MOSFET)を用いた(a)不揮発性 SRAM (NV-SRAM)と(b)不揮発性ディレイ FF (NV-DFF)の回路構成. どちらの場合でもインバータループによる双安定回路部の記憶ノードに擬似スピン MOSFET を接続することで構成できる. 擬似スピン MOSFET を遮断することで, 双安定回路を MTJ から電気的に切り離し, 通常の SRAM, DFF として動作することが可能である. 不揮発性パワーゲーティング (NVPG)を行う場合のみ擬似スピン MOSFET を導通して, 不揮発記憶を行う. この通常動作と不揮発記憶の機能分離によって, 回路性能を劣化させることなくロジックシステムを不揮発化することが可能となる.

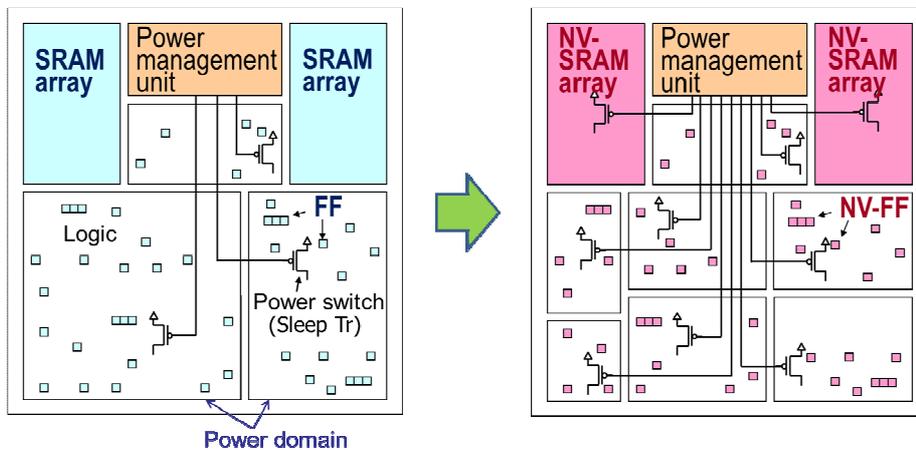


図2 不揮発性パワーゲーティング (NVPG) の概念図. 従来の CMOS ロジックにおけるパワーゲーティング (左図) ではパワードメイン内の記憶回路 (FF や SRAM で構成される) の情報保持が, 空間的・時間的粒度に制約を与えるため, 最適な粒度のパワーゲーティングを実現することが困難であった. 一方, NVPG では, NV-SRAM, NV-FF を用いて電源遮断時に不揮発記憶を行うため, 最適粒度のパワーゲーティングを実現できる. ただし, NV-SRAM と NV-FF には通常動作における回路性能を劣化させない回路構成を用いることが重要となる.

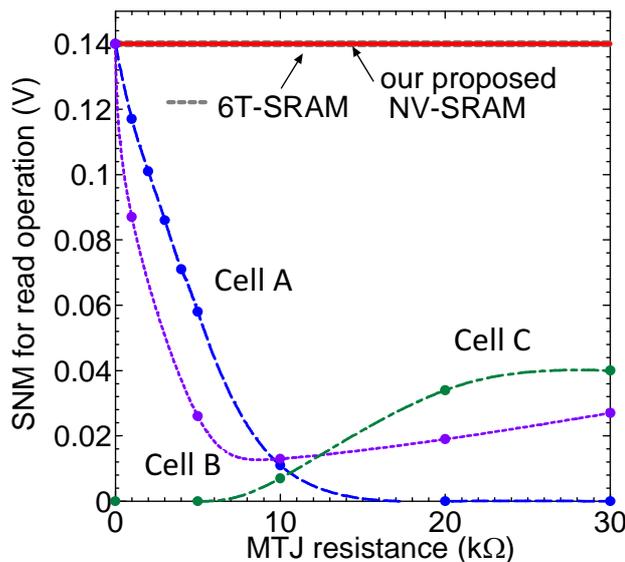


図3 擬似スピン MOSFET を用いた NV-SRAM セルと強磁性トンネル接合 (MTJ) を用いた各種 NV-SRAM セル (Cell A-C) のスタティックノイズマージン (SNM). 図の横軸は MTJ の抵抗である. ここでは最もマージンが取れない読み出し動作に対して SNM の評価を行った. 擬似スピン MOSFET を用いた NV-SRAM セルの SNM は通常の 6 T-SRAM セルと完全に一致し, SNM の劣化を生じていない. これは擬似スピン MOSFET の通常動作と不揮発記憶の機能分離によって実現できている. 一方, 他の MTJ を用いた各種 NV-SRAM セルでは, SNM は激しく劣化している.

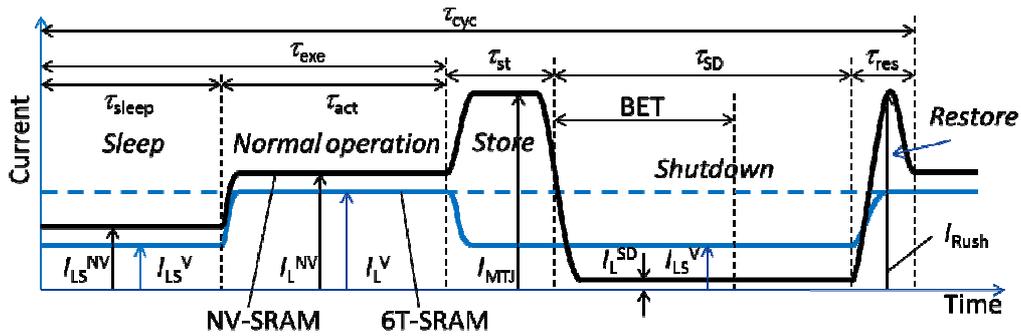


図4 NV-SRAM のリーク電流の時間変化. NVPG を行うときに必要な電流 (シャットダウンの直前に行う不揮発記憶に必要な電流と、電源遮断状態から復帰する際に生じる電流) も示してある. 左から順にスリープモード、通常動作モード、ストアモード (不揮発記憶を行うモード)、シャットダウンモード、リストアモード (シャットダウンから復帰するモード) である. スタモードとリストアモードに必要なエネルギーをシャットダウン中に埋め合わせることができる時間が BET である. スリープモードは BET より短い時間のスタンバイ状態の時に用いる. 通常動作モード、スリープモード時にはあるバイアス制御を行って、リーク電流を極力低く抑え、またストアモードでは別のバイアス制御によって不揮発記憶のエネルギーを最小限に抑えることで (どこまで小さくできるかは擬似スピン MOSFET に用いる強磁性トンネル接合のエラーレートによる.), BET を最小化できる. シャットダウン中のリーク電流は、パワーメインの大きさやスリープトランジスタの設計などに依存し、これが NVPG の効果 (電力削減率, BET) に大きな影響を与える.

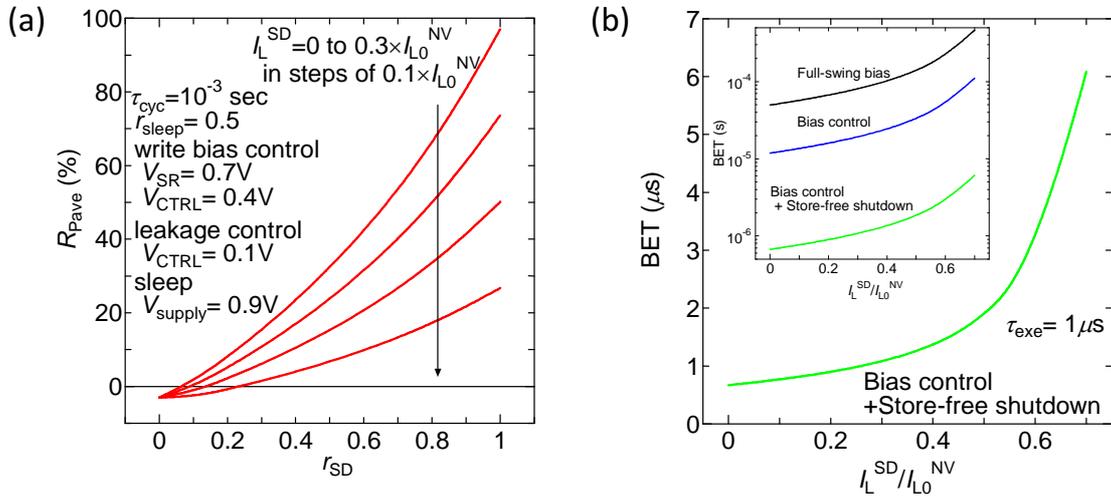


図5 NV-SRAM における NVPG を行った場合の (a) 平均電力の削減率 (横軸は全実行時間に対するシャットダウン時間の比率) と (b) BET (横軸は規格化されたシャットダウン時のリーク電流). NVPG によるシャットダウン時間が長くなると電力削減率は向上するが、シャットダウン時のリーク電流によってこの効果は低下してしまう. BET はこのリーク電流の増加に伴って急増する. このため、NVPG の効果を十分に発揮させるためには、電源遮断時のリーク電流が十分に小さくなるようにパワーメインやスリープトランジスタ等を設計することも重要になる.

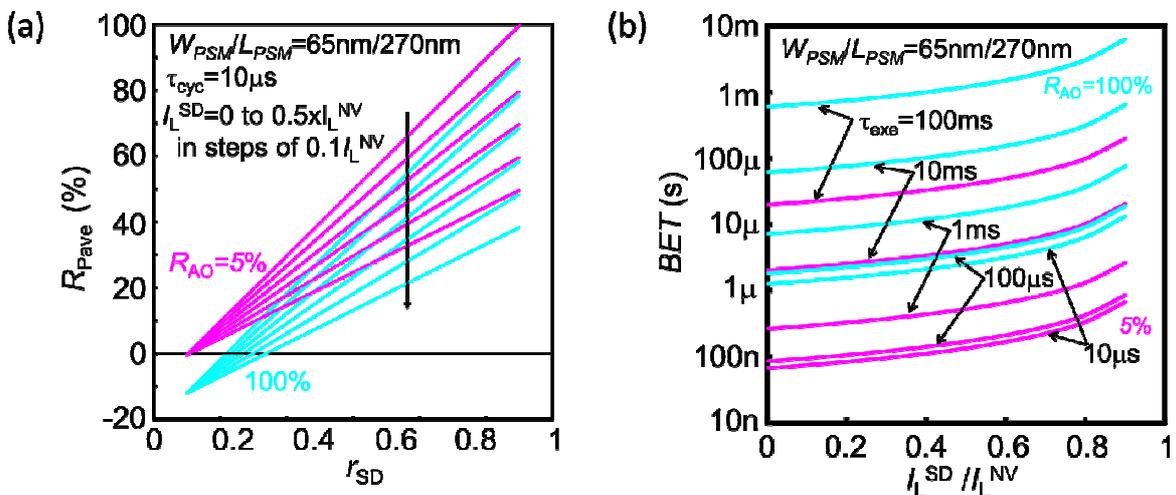


図6 NV-DFD における NVPG を行った場合の (a) 平均電力の削減率 (横軸は全実行時間に対するシャットダウン時間の比率) と (b) BET (横軸は規格化されたシャットダウン時のリーク電流). 図4に示した NV-SRAM と同様に、シャットダウン時のリーク電流が増加すると、平均電力の削減率は減少し、BET は増大する. NV-DFD の場合では、シャットダウン時のリーク電流の他に NV-DFD の占有率 (R_{AO}) も考慮して設計を行う.

【用語説明】

1) 擬似スピン MOSFET

擬似スピン MOSFET は、通常の MOSFET と強磁性トンネル接合 (MTJ)^{*1)}を用いた回路技術でスピントランジスタ^{*2)}の機能を再現するもので、不揮発性メモリ MRAM (スピン RAM) の技術を用いて容易に実現できるスピントランジスタである。これは、本研究者らによってはじめて提案された。MTJ による電圧降下をゲートに負帰還することで、MTJ の抵抗変化以上に出力電流を変化させることができる。

^{*1)}強磁性トンネル接合 (MTJ)： 薄い絶縁性薄膜(トンネル障壁)を2つの強磁性電極で挟んだトンネル接合構造の2端子素子で、不揮発性メモリ MRAM の記憶素子に用いられる。強磁性電極の相対的な磁化状態が平行な場合と、反平行の場合で素子の電気抵抗が異なる。また、100nm 程度以下に微細化された MTJ ではスピン注入磁化反転と呼ばれる現象によって、磁場を用いることなく、電氣的に磁化状態を変化させることができる。

^{*2)}スピントランジスタ： スピントランジスタは巨大磁気抵抗(GMR)素子、強磁性トンネル接合(MTJ)などの2端子の磁気抵抗素子と同様にデバイス内に少なくとも2層以上の強磁性電極を含み、互いの磁化方向が揃う平行磁化と反対向きになる反平行磁化を実現することができて、この磁化状態によって電流駆動能力(トランスコンダクタンス)を変えることのできるトランジスタである。同じバイアス下であって平行磁化状態では入力に対して大きな出力電流が得られるのに対して、反平行磁化状態では電流は低く抑えられる。したがって、磁化状態によって電流駆動能力が異なり、またこの電流駆動能力は磁化状態によって不揮発に保持できるといった特徴を持つ。

2) 不揮発性パワーゲーティング (NVPG)

マイクロプロセッサや SoC (system-on-chip) におけるメモリシステムに不揮発の機能を付加し、高効率のスタンバイ電力の削減が可能でパワーゲーティングを実現するアーキテクチャで、本研究者らによって提案された。通常動作と不揮発記憶の動作を分離することで、コア内部まで不揮発化をすることが可能となり(コアすべてではない)、現状のパワーゲーティングでは実現できない最適な空間的・時間的粒度のパワーゲーティングを実行できる。このため、スタンバイ電力の削減効率を極めて(極限まで)高くできる。通常動作/不揮発性記憶の機能分離によって、マイクロプロセッサや SoC の既存アーキテクチャとの整合性が高く、具現性も高い。NVPG を実現するためには不揮発性 SRAM (NV-SRAM) や不揮発性 FF (NV-FF) などの不揮発性双安定回路が必要であるが、通常動作と不揮発記憶の動作を完全に分離できる回路構成であることが必要となる。

ロジックシステムに不揮発の機能を取り入れる発想は古くからあるが、パワーゲーティングに不揮発を導入してパワーゲーティングの能力を極限まで引き出そうという試み (NVPG) は本研究者らによって初めて提案された。この NVPG はノーマリオフ・コンピューティングとしばしば混同されることがあるが、NVPG はこれとは以下に示すように全く異なる。

ノーマリオフ・コンピューティングは不揮発性メモリを用いて、システムの電源遮断を頻繁に行い、またできるだけ高速に電源遮断状態からリブートするアーキテクチャである(高性能化したインスタントオンである)。オリジナルのアイデアではメモリシステムのすべてを不揮発化して頻繁にシステムのオン/オフ繰り返すアーキテクチャであった。したがって、システムのランタイムにスタンバイ電力の削減の効果がなく、この削減のためにはパワーゲーティングを併用する必要がある。最近の構成では、メモリシステムの上位階層は不揮発化を行わないで、通常のパワーゲーティングを行うものに変更している。通常動作に不揮発を使うと深刻な性能劣化を及ぼすという、従来からの我々の意見が理解されたと考えられる。このシステムでは従来のパワーゲーティングの問題はそのまま残る。(一方、我々の提案した NVPG は必然的にノーマリオフの機能を含む上位概念である)

3) 不揮発性双安定回路 (NV-SRAM, NV-FF)

NV-SRAM や NV-FF などの不揮発性双安定回路はこれまでもインバータループに抵抗変化型の不揮発性メモリ素子を直接接続する方法が提案されてきたが、従来の方式ではインバータループ内に接続された不揮発性メモリ素子が、通常の双安定回路の動作に悪影響を与え、動作速度の劣化や消費電力の増大、さらにはバラツキ耐性やノイズマージンの減少など回路性能の劣化を生じる。このため、本研究者らが提案しているように通常動作と不揮発記憶の動作を完全に分離できる回路構成が必要になる。本研究者らの提案した不揮発性双安定回路は、インバータループ外に擬似スピンドル MOSFET を接続するため、インバータループと不揮発性メモリ素子 (MTJ) を電気的に分離できる。したがって、通常の SRAM 動作やフリップフロップ動作に影響を与えることなく、不揮発記憶/NVPG 動作を実行できる。

4) Break-even time (BET)

NVPG では、各パワーメインをシャットダウンする場合に NV-SRAM, NV-FF に不揮発性記憶を行うが、このとき大きなエネルギー消費を伴う。このような NVPG に伴う余計なエネルギー消費があるため、闇雲に NVPG を実行するとむしろエネルギー消費を増大させてしまうことがある。“不揮発”＝“低消費電力”といわれることがあるが、これは大きな間違いである。一般に“不揮発”≠“省エネ”であることに注意する必要がある。NVPG に要するエネルギー消費を埋め合わせる時間以上にシャットダウンすることでスタンバイ時のエネルギー消費の削減が可能となるが、この最低限必要なシャットダウン時間が Break-even time (BET) である。BET を短くすることで時間的・空間的細粒度の NVPG が実現可能となる。従来の CMOS ロジックシステムにおいては BET の概念はすでに用いられていたが、不揮発を使ったパワーゲーティング (すなわち NVPG) にこの概念を適応したのは本研究者らが初めてである。不揮発を使ったロジックシステムにおける BET の一般的な定式化も本研究者らによって初めて行われた。

【発表論文】

“Design and performance of pseudo-spin-MOSFETs using nano-CMOS devices”

Y. Shuto, S. Yamamoto, H. Sukegawa, Z.C. Wen, R. Nakane, S. Mitani, M. Tanaka, K. Inomata, and S. Sugahara, 2012 IEEE International Electron Devices Meeting (IEDM2012), December 10–12, 2012, San Francisco, CA, USA, paper 29.6.

【問い合わせ先】

周藤悠介 (シュウトウ ユウスケ) 特任助教
東京工業大学 像情報工学研究所
〒226-8502 神奈川県横浜市緑区長津田 4259-J3-14
Tel: 045-924-5456 Fax: 045-924-5456
E-mail: shuto@isl.titech.ac.jp

菅原 聡 (スガハラ サトシ) 准教授
東京工業大学 像情報工学研究所
〒226-8502 神奈川県横浜市緑区長津田 4259-J3-14
Tel: 045-924-5456 Fax: 045-924-5456
E-mail: sugahara@isl.titech.ac.jp

【KAST の事業に関して】

財産法人神奈川科学技術アカデミー イノベーションセンター・研究支援グループ 渡部・遠藤
Tel: 044-819-2034 , E-mail: res@newkast.or.jp