

東京工業大学広報センター長
大谷清

二重ループ構造により注入同期現象を安定化 ー小型・低ジッタ・低消費電力のクロック生成を実現ー

【概要】

東京工業大学大学院理工学研究科の松澤昭教授と岡田健一准教授らの研究グループは、集積回路中での注入同期現象^(用語1)の安定化に成功した。注入同期現象をクロック生成に応用すれば、低消費電力で高純度なクロックを生成できることが知られていたが、温度や電源の変動により動作が不安定になる問題があった。同グループは注入同期する発振器を周波数補償ループから分け二重ループ構造として、この問題を解決した。

最小加工寸法 65nm(ナノメートル)のシリコン CMOS プロセスで試作した新型クロック発生回路は、0.5G~1.6GHz (ギガヘルツ、1GHz は 10 億ヘルツ)のクロックを生成可能であり、1.2GHz 出力時の消費電力は 0.97mW と非常に低い。無線機やマイクロプロセッサなど、ほぼすべての集積回路に内蔵されているクロック生成回路を置き換えられ、集積回路の低消費電力・小型化が可能となる。

この成果は 17 日からサンフランシスコで開かれる「ISSCC (国際固体回路国際会議)」で 19 日に発表する。

●研究の背景

注入同期現象は、17 世紀にオランダの科学者クリスティアーン・ホイヘンス (Christiaan Huygens) が壁掛け時計の振り子間の同期現象として発見した。2 台の壁掛け時計が近くに設置されると、その振動が壁を伝わり長い時間をかけて振り子の揺れが同期するというものである。注入同期現象は、このような機械的振動のみならず、集積回路中でも発生することが知られており、回路中に複数の発振器を配置すると、他方がもう一方の周波数につられて誤った周波数で発振を起こす。回路に誤動作をもたらす現象として知られていたが、一方で、積極的に利用すれば、高純度なクロック生成が可能である。

ほとんどの集積回路はその動作にクロックを必要としており、無線機であれば搬送波周波

数として、デジタル回路は同期クロックとして、またアナログ回路によるデータコンバータにおいても利用されている。集積回路中で正確なクロック信号を生成するためには、水晶発振器による基準クロック信号の周波数を位相同期ループ (PLL) 回路^(用語²)により N 倍することで所望周波数のクロック信号を得る。この際重要なのは、クロックの純度を表すジッタ特性 (信号の時間的ずれや揺らぎ)^(用語³) が良好であること、消費電力が小さいこと、回路面積が小さいこと、温度や電源の変動などにたいしても安定して動作することである。

ジッタと消費電力はトレードオフの関係にあり、ジッタ特性の改善のためには消費電力の増加を伴うのが従来のクロック生成回路の課題だった。注入同期現象を積極的に利用し、水晶発振器の低ジッタの基準信号を直接発振器に注入することで、低い消費電力でもジッタ特性を大幅に改善できる可能性がある。ただし、問題は注入同期が不安定であることだ。注入同期のためには、注入を行う前に所望の周波数付近で発振を行っている必要があり、注入動作を行っているうちに温度や電源電圧の変動により、この条件が満たせなくなり、同期がはずれ、不安定な動作を起こす問題があった。ジッタが増大したり、所望以外の周波数を出力したりする可能性があり、実用化の上で最大の問題だった。

●研究成果の意義・内容

松澤教授と岡田准教授らのグループは、主発振器を注入同期し、補助発振器により周波数補償を行う二重ループ構成をとることにより、この問題を解決した。補助発振器が温度や電源変動に対して追随し、安定した動作が実現できる。この技術を用いて試作したクロック生成回路は従来と比べ、大幅な低消費電力化・低ジッタ化・小面積化を達成した。従来困難であった集積回路中での注入同期現象の安定化に成功したことによる成果である。無線機やマイクロプロセッサなど幅広い集積回路を利用する機器への搭載が期待できる。

●技術内容

一般に、クロック生成には位相同期ループ回路(PLL: Phase-Locked Loops)^(用語²) が用いられる。集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数を用いる。水晶発振器で発生できる周波数は高々数百 MHz までで、また、その周波数は固定であるため、水晶発振器による基準周波数 f_{ref} を PLL で通倍して、所望の周波数を集積回路中で生成する。通倍比 N に対して、 $N \cdot f_{\text{ref}}$ の周波数のクロックが出力される。

クロックに要求される性能としては、クロック波形の電圧振幅や周波数範囲に加え、クロック信号の純度を示すジッタ^(用語³) が小さいことが要求される。また、回路としては、小型で低消費電力であることが求められる。しかし、特に、低ジッタ・低消費電力・小型の要件については、互いにトレードオフの関係にあり、従来の PLL では同時には達成できない課題であった。

PLL は、内部に $N \cdot f_{\text{ref}}$ の周波数で発振する電圧制御発振器^(用語⁴) を持つ。クロックのジッタは電圧制御発振器の位相雑音特性^(用語⁵) に大きく依存する。位相雑音が低ければ、ジッタも小さくなる。電圧制御発振器には、LC 型とリング型があり、LC 型の方が低位相雑音であるが、コイルが必要でそのための回路面積増大が不可避である。リング型は小型であるが、

位相雑音が高く、ジッタが劣化する。

関係を図2に示す。どちらの方式でも、位相雑音は消費電力とのトレードオフであり、位相雑音を低下させ、ジッタを小さくするには、大きな消費電力が必要となる。つまり、LC型では低ジッタ・消費電力大・面積大で、リング型では高ジッタ・消費電力大・面積小となる。どちらの方式においても、低ジッタ・低消費電力・小型の要件を同時に達成することは本質的に不可能である。

これらのトレードオフ解決の可能性がある方法として、注入同期現象^(用語1)の利用があげられる。注入同期現象をクロック生成に応用すると、位相雑音特性が電圧制御発振器ではなく、水晶発振器により決まるため、位相雑音特性の大幅な改善が可能である(図2)。従来、位相雑音を改善するためには、電圧制御発振器の消費電力を増やす必要があったが、注入同期を用いると、リング型でも消費電力を増やさず、位相雑音の改善が可能となるため、低ジッタ・低消費電力・小型の同時達成が可能となる。

つまり、注入同期現象を用いると、クロック生成において、消費電力の増加や回路面積の増大を伴わずに、ジッタ特性の改善が可能となる。ただし、注入同期現象は、温度や電源変動に対して安定して動作させることができず、実用化の上で大きな課題であった。

図3に一般的に用いられるPLLの回路構成を示す。電圧制御発振器(VCO)^(用語4)の出力を分周し、位相周波数比較器(PFD)^(用語6)とチャージポンプ(CP)^(用語7)により、位相・周波数差を電荷量に変換し、ローパスフィルタ(LPF)により、電圧制御発振器の制御電圧として用いる。電圧制御発振器の消費電力削減とジッタ改善や、LC型電圧制御発振器やLPFの面積縮小が課題である。

図4に注入同期現象を用いたPLLを示す。水晶発振器からの低ジッタの基準信号を注入することで、PLL出力クロックの低ジッタ化が可能である。ただし、注入同期では位相の同期は可能であるが、周波数の同期ができない。そのため、電圧制御発振器は、あらかじめ所望周波数付近で発振している必要があり、 $1/N$ 分周器、PFD、CP、LPFからなるループによりあらかじめ周波数補償を行っている。

ただし、一度動作を始めると、注入同期により位相が固定されるため、 $1/N$ 分周器に入力される周波数は一定となり、周波数補償ループは動作できなくなる。そのため、時間が経過し、周辺温度や電源電圧の微妙な変化により、注入同期による同期がはずれ、不用意に誤った周波数のクロックを出力する状態に陥る。これが、従来回路の問題であった。

今回、開発した二重ループ型注入同期型PLLは、二重ループ構成をとることによりこの問題を解決した(図5)。主発振器を注入同期し、補助発振器により周波数補償を行う。補助発振器により温度や電源変動に対する追従が可能であり、安定した動作が可能である。位相の同期を主ループで、周波数の同期を補助ループで行うため、位相同期に必要な精密な時間比較が不要となる。単純な周波数同期のみで済むため、大幅な回路規模の削減が可能であり、また容易にデジタル化が可能である。

図6に65nm CMOS技術で作成した回路のチップ写真を示す。0.022mm²の面積で実現した。ループ部を完全にデジタル回路で構成し、2つの発振器間の周波数オフセットを校正している。補助ループは間欠動作させることで消費電力の増加を抑えた。図7に実測したジッタ特性を示す。従来型注入同期PLL(single loop)では、温度変化により誤動作を生じ、35℃、65℃付近でジッタが増大し、正しい周波数のクロックを出力できない。これが実用化の上での最大の問題であった。提案型注入同期PLL(dual loop)では、温度変化に対しても安定して低ジッタ特性を保つことができた。本開発品は、40MHzから300MHzの基準信号に対して、0.5GHzから1.6GHzのクロック出力が可能である。1.2GHz出力時の消費電力は0.97mWで、その際のジッタは0.7psであった。

図8に、近年の国際会議ISSCCで報告された研究成果との比較を示す。縦軸はジッタを消費電力で正規化したFoM^(用語8)により示した。LCベースのものは低ジッタが実現できる反面、回路面積が大きい。リングベースのものはジッタ特性で劣り、位相比較ループにおけるLPFにより面積も中程度である。

今回開発した二重ループ構造を持つ注入同期型PLLは、従来不可能であった注入同期の安定動作に成功し、リングベースかつLPFが不要なため、大幅な面積縮小を実現しており、注入同期により低ジッタ特性を両立している(図8)。すなわち小型・低消費電力・低ジッタを同時に達成した。従来のすべてのPLLを置き換えることができる成果であり、無線機の小型・低消費電力化、マイクロプロセッサや専用LSIの大幅な低消費電力化・高速化・小型低価格化が可能である。

●発表予定

この成果は、2月17日～21日にサンフランシスコで開催される「2013 IEEE International Solid-State Circuits Conference (ISSCC 2013):2013年IEEE国際固体回路国際会議」のセッション「Session 14 – Digital PLLs and Building Blocks」で発表する。講演タイトルは「A 0.022mm² 970μW Dual-Loop Injection-Locked PLL with -243dB FOM Using Synthesizable All-Digital PVT Calibration Circuits (完全デジタルキャリブレーションを実現した二重ループ型注入同期位相周波数同期ループ)」である。現地時間2月19日13時15分から発表する。

【論文著者】Wei Deng (博士研究員), Ahmed Musa (博士課程学生), Teerachot Siriburanon (博士課程学生), Masaya Miyahara (宮原正也：助教), Kenichi Okada (岡田健一：准教授), and Akira Matsuzawa (松澤昭：教授)

なお、総務省 戦略的情報通信研究開発推進制度(SCOPE)研究主体育成型研究開発「コグニティブ無線を実現するリコンフィギュラブルRF回路技術の研究開発」の一環として実施した。

【用語説明】

用語 1 : 注入同期

発振器が、その信号線や電源配線等を経由して注入信号を受けると、本来の発振周波数ではなく、その注入信号の周波数で発振を起こす現象があり、注入同期現象と呼ばれる。例えば、発振器が 1GHz で発振している時に、電源線を介して非常に微弱な 1.1GHz の信号が印可された時、条件によっては本来の 1GHz ではなく、注入された 1.1GHz で発振を起こす場合がある。発振器から出力される信号の位相雑音^(用語 5)は注入信号の位相雑音によるため、位相雑音の改善のために利用することが可能である。

元々、注入同期現象は、17 世紀にオランダの科学者 Christiaan Huygens が壁掛け時計の振り子間の同期現象として発見した事が最初だと言われており、二台の壁掛け時計が近くに設置されると、その振動が壁を伝わり長い時間をかけて振り子の揺れが同期するというものである。

用語 2 : 位相同期ループ(PLL: Phase-Locked Loops)

集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数 f_{ref} を用い、それを N 通倍して所望周波数 $N \cdot f_{ref}$ の周波数の信号を得る。PLL は、電圧制御発振器^(用語 4)、周波数分周器、位相周波数比較器(PFD)^(用語 6)、チャージポンプ(CP)^(用語 7)、ローパスフィルタ(LPF)により構成される。PLL は、電圧制御発振器が所望周波数で発振するように制御電圧を制御する回路であり、まず、電圧制御発振器の出力を周波数分周器で $1/N$ 倍の周波数に変換し、それを水晶発振器による基準信号と比較する。理想的には両者とも f_{ref} の周波数を持っているはずである。もし、周波数や位相に差があれば、それを位相周波数比較器とチャージポンプにより、位相・周波数差を電荷量に変換し、ローパスフィルタにより、電圧制御発振器の制御電圧としている。

用語 3 : ジッタ

クロックの重要な特性の一つで、クロック信号の立上がりまたは立下りタイミングが揺らぐ現象で、本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。ジッタが小さいほど、クロックの揺らぎが小さい状況を示す。クロックを生成している発振器の位相雑音特性^(用語 5)に大きく依存し、位相雑音が低いほど、ジッタも小さくなる。

用語 4 : 電圧制御発振器

制御電圧により発振周波数に変化する発振器。PLL に用いる。位相雑音の良好な LC 型と、小型なリング型がある。

用語 5 : 位相雑音

発振器の重要な特性の一つ。必要な周波数の信号に対し、どれだけ不要な周波数のスペクトルを持つかを表す。

用語 6 : PFD、FD

位相周波数比較器(PFD: Phase Frequency Detector)は、入力される 2 矩形波信号の立ち上がりタイミングを比較する回路で、時間差に応じて出力パルス幅が変化する。一般に PLL と組み合わせて利用する。

周波数比較器(FD: Frequency Detector)は、入力される 2 信号の周波数を比較する回路で、カウンタのみで構成できるため、簡易なデジタル回路として構成できる。

用語 7 : CP

入力制御信号のパルス幅に応じた正負の電流を出力する回路。PFD^(用語6)と組み合わせて利用する

用語 8 : FoM

FoM(Figure of Merit)の略で、消費電力で規格化したジッタ性能を示す。ジッタと消費電力はトレードオフの関係にあり、発振器の消費電力を増やすとジッタが減少し、消費電力を減らすとジッタが増加する。

FoM は、ジッタの標準偏差(σ_t)と消費電力 P_{DC} を用いて、以下の式で定義される。

$$FoM = 10 \log \left[\left(\frac{\sigma_t}{1s} \right)^2 \cdot \frac{P_{DC}}{1mW} \right]$$

ジッタ特性が同じで FoM が 10dB 小さければ、消費電力が 10 分の 1 であることに相当する。

【お問い合わせ先】

東京工業大学大学院理工学研究科電子物理工学専攻 岡田健一

TEL: 03-5734-2258 FAX: 03-5734-3764

Email: okada@ssc.pe.titech.ac.jp

【会議公開情報】

<http://isscc.org/>

http://www.miracd.com/ISSCC2013/WebAP/PDF/AP_Session14.pdf

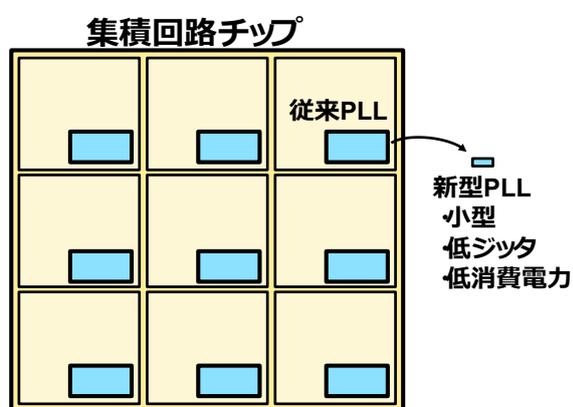


図 1 : 小型クロック発生回路の必要性

特徴 : 近年のマイクロプロセッサや専用チップでは、高性能・低消費電力化のため、多数のクロックを使い分ける。従来は、クロック生成のための PLL 回路^(用語2)が大きく、多数のクロックを使い分ける上での制約となっていたが、本開発品の注入同期型 PLL 回路は 10 分

の1の面積で、低ジッタ^(用語3)かつ低消費電力化を実現している。

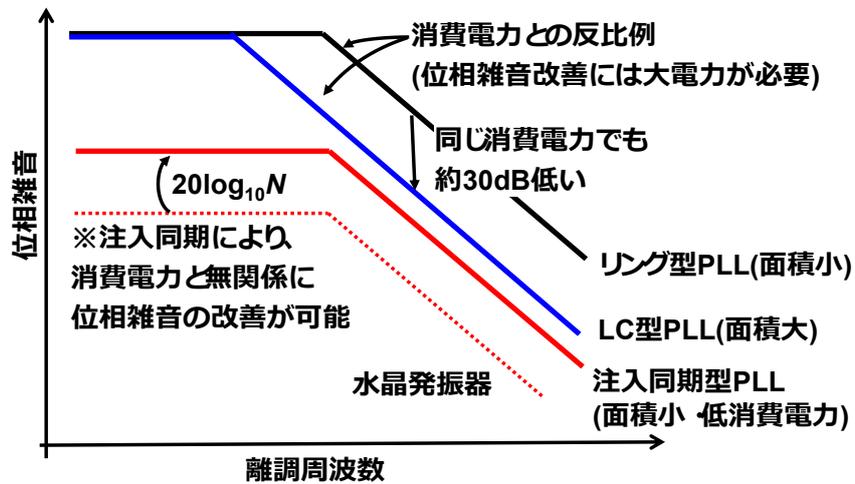


図2：位相雑音の理論比較

特徴：水晶発振器は最大で数百 MHz ほどの周波数しか発生させられず、集積回路内で必要な GHz オーダーのクロック信号は、水晶発振器の周波数を基準とし PLL で N 倍することで得る。従来のリング型や LC 型の PLL は、位相雑音の改善のために消費電力の増加が本質的に避けられなかったが、注入同期型 PLL では、位相雑音が消費電力に関係なく水晶発振器の位相雑音により決まるため、低消費電力化と低雑音化の両立が可能である。

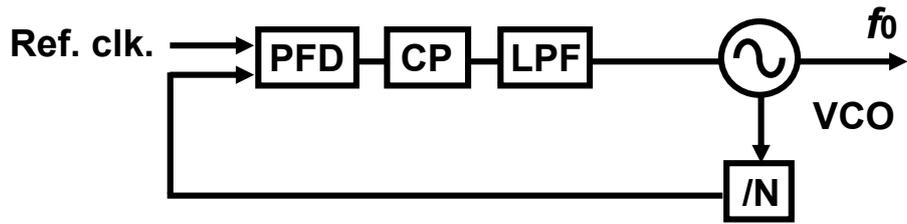


図 3 : 一般的に用いられている PLL

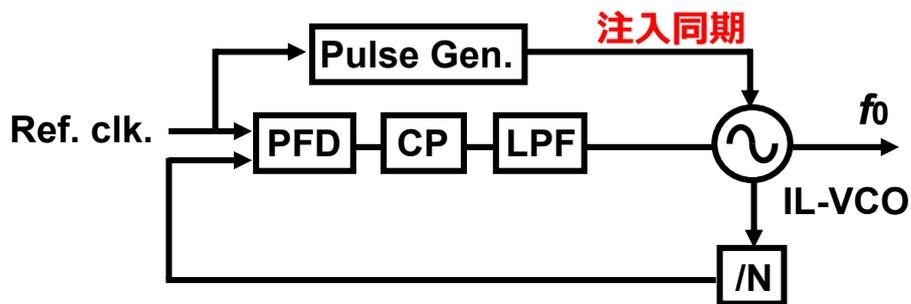


図 4 : 従来の注入同期型 PLL

特徴：低ジッタ化が可能であるが温度や電源変動があると動作が不安定になる。また、アナログ LPF を利用するため回路面積も大きい。

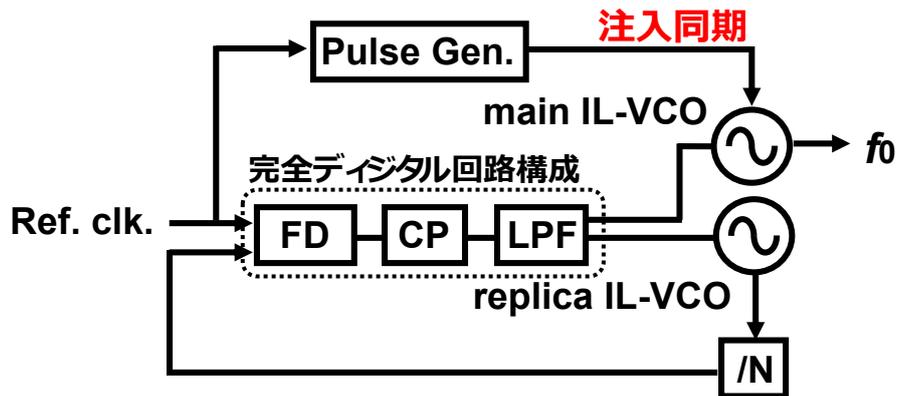


図 5 : 提案する二重ループ型注入同期型 PLL(簡略図)

特徴：主発振器を注入同期し、補助発振器により周波数補償を行う。温度や電源変動に対して安定に動作が可能である。ループ部は完全にデジタル回路で構成され、2つの発振器間の周波数オフセットの校正が可能である。

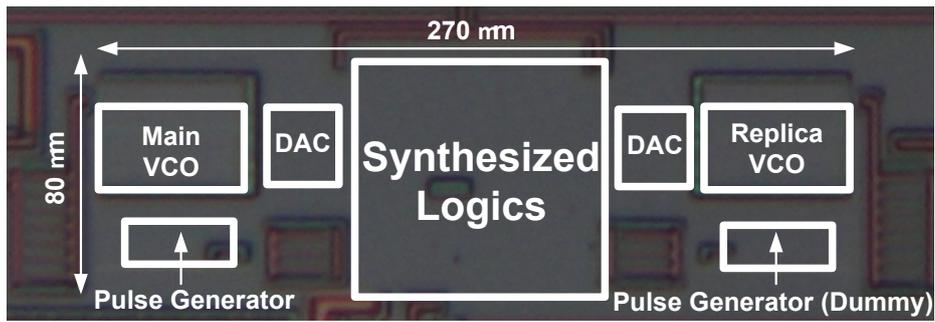


図6：チップ写真

特徴：65nm CMOS プロセスにより製造

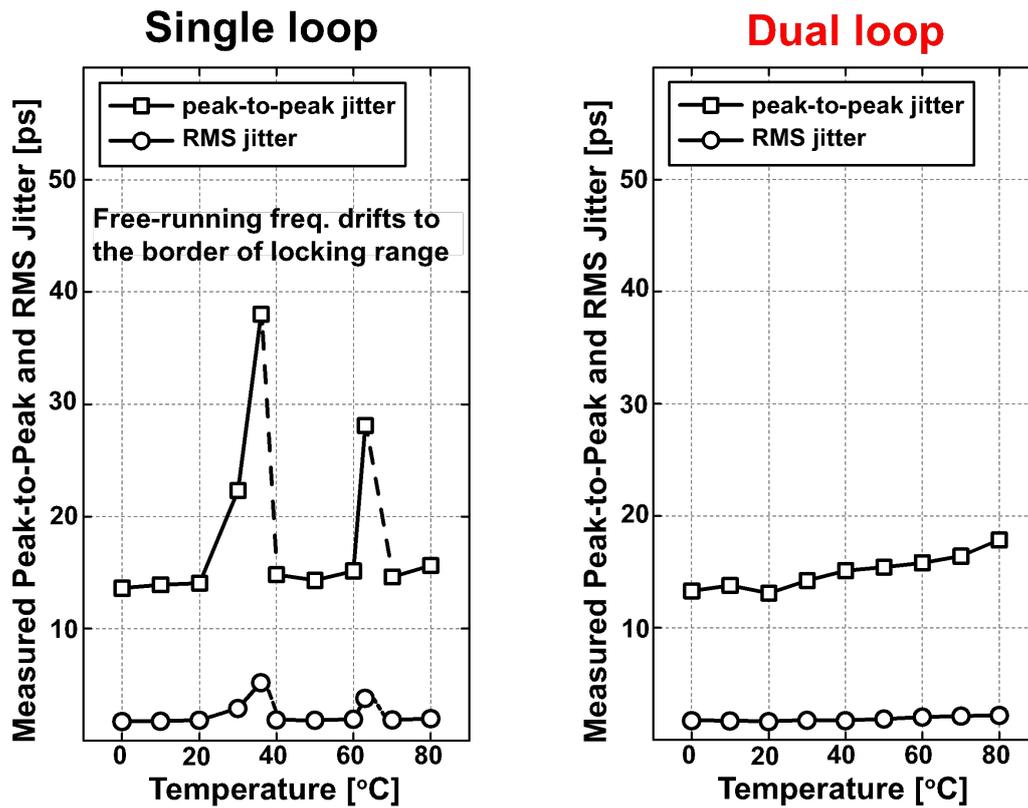


図7：実測ジッタ特性の比較

特徴：提案する二重ループ型(Dual loop)では温度変動に対しても安定して低ジッタ特性を実現

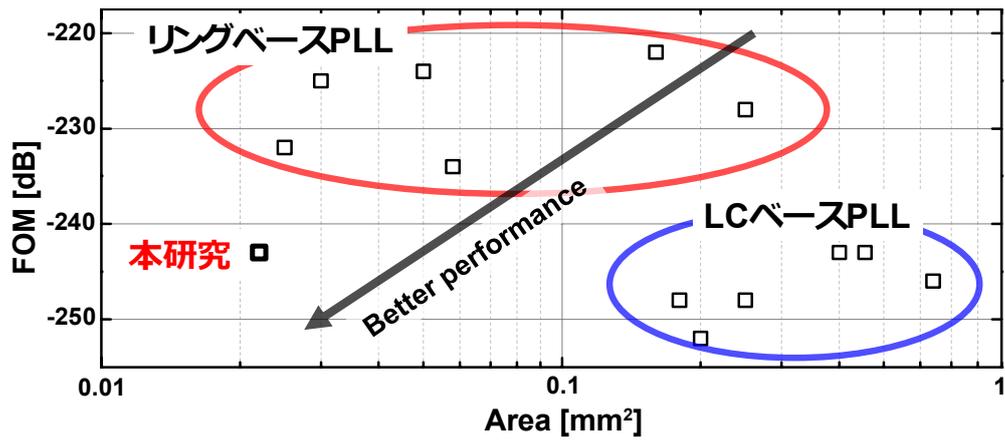


図8：論文データとの性能比較

特徴：近年、国際会議 ISSCC で報告された最新の研究成果との比較において、大幅な小型化・低ジッタ化を実現。