

平成26年2月7日

東京工業大学広報センター長  
大谷 清

## クロック生成回路をデジタル回路で構成 —注入同期現象を安定利用、小型・低消費電力を実現—

### 【概要】

東京工業大学大学院理工学研究科の松澤昭教授と岡田健一准教授らの研究グループは、デジタル回路で構成する新方式のクロック生成回路の作製に成功した。発振器が注入信号に同期して発振をおこす「注入同期現象」<sup>(用語1)</sup>を安定的に利用し、フィードフォワード制御による位相同期を行うことにより実現した。従来のクロック生成回路は、帰還(フィードバック)制御による正確な位相同期が必要なため、デジタル回路では構成できなかった

最小加工寸法 65nm(ナノメートル)のシリコン CMOS プロセスで試作した新型クロック発生回路は、0.4G~1.4GHz (ギガヘルツ、1GHz は 10 億ヘルツ)のクロックを生成可能であり、0.9GHz 出力時の消費電力は 0.78mW と非常に低い。0.0066mm<sup>2</sup>の極小寸法で実現した。クロック生成回路は、ほぼすべての集積回路に内蔵されており、新方式のクロック生成回路を使えば、身のまわりのあらゆる機器に超小型バッテリーレスセンサーを組み込むことが可能となる。

この成果は 9 日からサンフランシスコで開かれる「ISSCC (国際固体回路国際会議)」で 11 日に発表する。

### ●研究の背景・意義

デジタル回路の設計では、ハードウェア記述言語<sup>(用語2)</sup>という専用の言語で回路を記載することで、論理ゲート<sup>(用語3)</sup>による回路を自動的に合成し、なおかつ、論理ゲートを自動的に配置・配線して、半導体チップの設計図となるレイアウトデータを生成することが可能である。製造する装置や工場が変更になっても、ハードウェア記述言語<sup>(用語2)</sup>で記述した回路は再利用ができるため、簡単にレイアウトデータを再生成することができる。

一方、アナログ回路の設計では、トランジスタによる回路図を作成し、トランジスタの寸法やバイアス電圧を人手で決めるのが通例である。そのため、製造する装置や工場が変更

なった場合は、また再度、トランジスタの寸法やバイアス電圧を人手で決める必要がある。

このようなアナログ回路のうち最も典型的なものがクロック生成回路である。クロックの生成には、位相同期回路(PLL: Phase-Locked Loop: PLL)<sup>(用語4)</sup>を用いる。この位相同期回路をデジタル回路により実現できたのが本研究の成果である。専用の設計ツール等は不要で、一般的なデジタル回路用の設計ツールのみで設計できる。本クロック生成回路は、ハードウェア記述言語で回路を記述することができるため、製造する装置や工場が変更になっても、レイアウトデータを都度自動で生成することができる。

デジタル回路で構成できるため、非常に小型かつ低消費電力である。超小型バッテリーレスセンサーなどあらゆる機器に組み込むことが可能である。

## ●技術内容

一般に、クロック生成には位相同期回路(PLL: Phase-Locked Loop)<sup>(用語4)</sup>が用いられる。集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数を用いる。水晶発振器で発生できる周波数は高々数百 MHz までで、また、その周波数は固定であるため、水晶発振器による基準周波数  $f_{ref}$  を PLL で通倍して、所望の周波数を集積回路中で生成する。通倍比  $N$  に対して、 $N \cdot f_{ref}$  の周波数のクロックが出力される。

図1に一般的に用いられる PLL の回路構成を示す。電圧制御発振器 (VCO)<sup>(用語6)</sup> の出力を分周し( $N$ )、位相周波数比較器(PFD)<sup>(用語8)</sup> とチャージポンプ(CP)<sup>(用語9)</sup> により、位相・周波数差を電荷量に変換し、ローパスフィルタ(LPF)により、電圧制御発振器の制御電圧としている。電圧制御発振器の消費電力削減とジッタ<sup>(用語5)</sup> 改善や、LC 型電圧制御発振器や LPF の面積縮小が課題である。

大部分をデジタル回路で置き換えた PLL として、完全デジタル PLL(All-Digital PLL) が知られる。これは、位相周波数比較器・チャージポンプ・ローパスフィルタを、時間デジタル変換器とデジタルローパスフィルタに置き換えたもので、電圧制御発振器の代わりにデジタル制御発振器を用いる。時間デジタル変換器は論理ゲートにより構成することが可能であるが、人手による設計が不可欠であった。フィードバック制御による位相同期のため、時間デジタル変換器に正確な時間分解能が必要であったためである。

図2に注入同期現象を用いた PLL を示す。水晶発振器からの低ジッタの基準信号を注入することで、フィードバック制御ではなくフィードフォワード制御による位相同期を実現した。手設計が必要な時間デジタル変換器が不要なため、デジタル回路設計と同様の手順での自動設計が可能となった。自動設計によるレイアウトの不確定性は、新たに考案した位相補間型三重発振器により解決した。また、電流出力型デジタルアナログ変換器と微調可変容量により、低消費電力かつ高い周波数分解能を実現した。いずれの回路も論理ゲートのみでの構成を可能とした。

図3, 4に 65nm CMOS 技術で作成した PLL のチップ写真を示す。図3は従来のアナログ PLL の例で、図4が本成果による回路である。0.0066mm<sup>2</sup> の面積で実現した。デジタル

ル回路で構成することにより、大幅な小型化および低消費電力化を実現した。

本開発品は、40MHz から 300MHz の基準信号に対して、0.4GHz から 1.4GHz のクロック出力が可能である。0.9GHz 出力時の消費電力は 0.78mW で、その際のジッタは 1.7ps と非常に高純度なクロック生成を実現した。

図 5 に、近年の国際会議 ISSCC で報告された研究成果との比較を示す。縦軸はジッタを消費電力で正規化した FoM<sup>(用語 10)</sup> により示した。注入同期により、低ジッタ特性を実現できた。図 5 における灰色字のものは手設計による PLL で、黒字のものは自動設計 PLL である。星形の本成果による PLL は、自動設計が可能で且つデジタル回路のみで構成できるため、大幅な小型化・低ジッタ化および低消費電力化を実現している。

今回開発した注入同期型 PLL は、従来不可能であったデジタル回路のみによる注入同期動作に成功した。これにより、小型・低消費電力・低ジッタを同時に達成した。無線機の小型・低消費電力化、マイクロプロセッサや専用 LSI の大幅な低消費電力化・高速化・小型低価格化が可能である。超小型バッテリーレスセンサーなどあらゆる機器に組み込むことが可能である。

#### ●発表予定

この成果は、2月9日～13日にサンフランシスコで開催される「2014 IEEE International Solid-State Circuits Conference (ISSCC 2014):2014 年 IEEE 国際固体回路国際会議」のセッション「Session 15 – Digital PLLs」で発表する。講演タイトルは「A 0.0066 mm<sup>2</sup> 780μW Fully Synthesizable PLL with a Current Output DAC and an Interpolative Phase-Coupled Oscillator using Edge Injection Technique (完全デジタルキャリブレーションを実現した二重ループ型注入同期位相周波数同期ループ)」である。現地時間 2月11日 13時30分から発表する。

【論文著者】 Wei Deng (博士研究員), Dongsheng Yang (博士課程学生), Tomohiro Ueno (上野智大：修士課程学生), Teerachot Siriburanon (博士課程学生), Satoshi Kondo (近藤 智史：修士課程学生), Kenichi Okada (岡田健一：准教授), and Akira Matsuzawa (松澤昭：教授)

#### 【用語説明】

用語 1：注入同期

発振器が、その信号線や電源配線等を経由して注入信号を受けると、本来の発振周波数ではなく、その注入信号の周波数で発振を起こす現象があり、注入同期現象と呼ばれる。例えば、発振器が 1GHz で発振している時に、電源線を介して非常に微弱な 1.1GHz の信号が印可された時、条件によっては本来の 1GHz ではなく、注入された 1.1GHz で発振を起こす場合がある。発振器から出力される信号の位相雑音<sup>(用語 7)</sup> は注入信号の位相雑音によるため、位相雑音の改善のために利用することが可能である。

元々、注入同期現象は、17世紀にオランダの科学者 Christiaan Huygens が壁掛け時計の振り子間の同期現象として発見した事が最初だと言われており、二台の壁掛け

時計が近くに設置されると、その振動が壁を伝わり長い時間をかけて振り子の揺れが同期するというものである。

**用語 2 : ハードウェア記述言語**

ハードウェアの動作仕様を記述するための言語。主にデジタル回路の設計に用いられ、ハードウェア記述言語で記載された回路から半導体集積回路を製造するためのレイアウトデータを自動合成することができる。ハードウェア記述言語としては VHDL や Verilog HDL などの言語がよく用いられる。

**用語 3 : 論理ゲート**

論理回路を構成する部品。否定、論理積、論理和などの論理演算を実現するための最小回路構成要素。主にデジタル回路の設計に用いられる。

**用語 4 : 位相同期ループ(PLL: Phase-Locked Loops)**

集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数  $f_{ref}$  を用い、それを  $N$  通倍して所望周波数  $N \cdot f_{ref}$  の周波数の信号を得る。PLL は、電圧制御発振器<sup>(用語 6)</sup>、周波数分周器、位相周波数比較器(PFD)<sup>(用語 8)</sup>、チャージポンプ(CP)<sup>(用語 9)</sup>、ローパスフィルタ(LPF)により構成される。PLL は、電圧制御発振器が所望周波数で発振するように制御電圧を制御する回路であり、まず、電圧制御発振器の出力を周波数分周器で  $1/N$  倍の周波数に変換し、それを水晶発振器による基準信号と比較する。理想的には両者とも  $f_{ref}$  の周波数を持っているはずである。もし、周波数や位相に差があれば、それを位相周波数比較器とチャージポンプにより、位相・周波数差を電荷量に変換し、ローパスフィルタにより、電圧制御発振器の制御電圧としている。

**用語 5 : ジッタ**

クロックの重要な特性の一つで、クロック信号の立上がりまたは立下りタイミングが揺らぐ現象で、本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。ジッタが小さいほど、クロックの揺らぎが小さい状況を示す。クロックを生成している発振器の位相雑音特性<sup>(用語 7)</sup> に大きく依存し、位相雑音が低いほど、ジッタも小さくなる。

**用語 6 : 電圧制御発振器**

制御電圧により発振周波数に変化する発振器。PLL に用いる。位相雑音の良好な LC 型と、小型なリング型がある。

**用語 7 : 位相雑音**

発振器の重要な特性の一つ。必要な周波数の信号に対し、どれだけ不要な周波数のスペクトルを持つかを表す。

**用語 8 : PFD、FD**

位相周波数比較器(PFD: Phase Frequency Detector)は、入力される 2 矩形波信号の立ち上がりタイミングを比較する回路で、時間差に応じて出力パルス幅が変化する。一般に PLL と組み合わせて利用する。

周波数比較器(FD: Frequency Detector)は、入力される 2 信号の周波数を比較する回路で、カウンタのみで構成できるため、簡易なデジタル回路として構成できる。

#### 用語 9 : CP

入力制御信号のパルス幅に応じた正負の電流を出力する回路。PFD (用語8) と組み合わせて利用する

#### 用語 10 : FoM

FoM(Figure of Merit)の略で、消費電力で規格化したジッタ性能を示す。ジッタと消費電力はトレードオフの関係にあり、発振器の消費電力を増やすとジッタが減少し、消費電力を減らすとジッタが増加する。

FoM は、ジッタの標準偏差( $\sigma_t$ )と消費電力  $P_{DC}$  を用いて、以下の式で定義される。

$$\mathbf{FoM = 10 \log \left[ \left( \frac{\sigma_t}{1s} \right)^2 \cdot \frac{P_{DC}}{1mW} \right]}$$

ジッタ特性が同じで FoM が 10dB 小さければ、消費電力が 10 分の 1 であることに相当する。

#### 【お問い合わせ先】

東京工業大学大学院理工学研究科電子物理工学専攻 岡田健一

TEL: 03-5734-2258 FAX: 03-5734-3764

Email: okada@ssc.pe.titech.ac.jp

#### 【会議公開情報】

<http://isscc.org/>

<http://www.miracd.com/ISSCC2014/PDF/ISSCC2014AdvanceProgram.pdf>

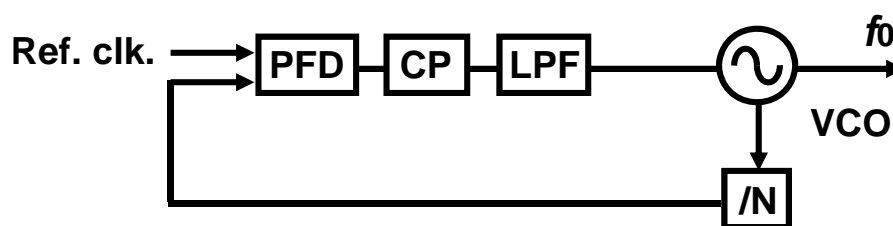


図 1 : 従来のアナログ PLL

特徴 : 電圧制御発振器(VCO)の発振周波数をフィードバック制御により基準信号の N 倍の周波数に調整する。手設計が必要であり、面積や消費電力も大きい。

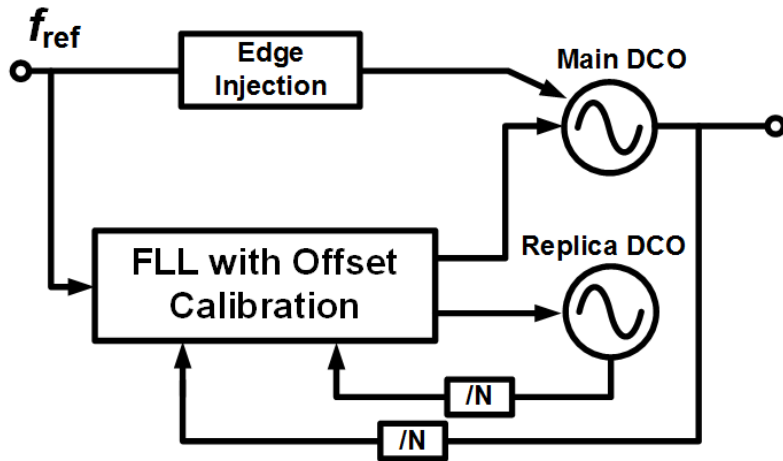


図 2 : 注入同期デジタル PLL(本成果)

特徴：注入同期現象を用いた位相同期によりフィードバック制御が必要でなく、すべてデジタル回路のみで構成できる。補助デジタル制御発振器(Replica DCO)を用いた周波数同期ループ(FLL: Frequency-Locked Loop)により、安定して注入同期させることができる。面積も消費電力も小さい。

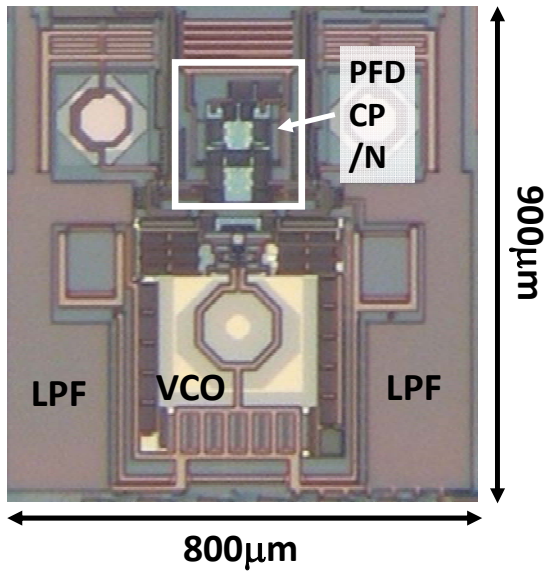


図 3 : アナログ PLL の従来例のチップ写真

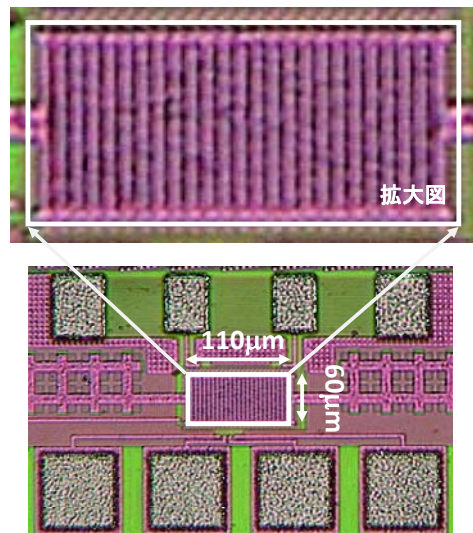


図 4 : 本デジタル PLL のチップ写真

特徴：両者とも 65nm CMOS プロセスにより製造

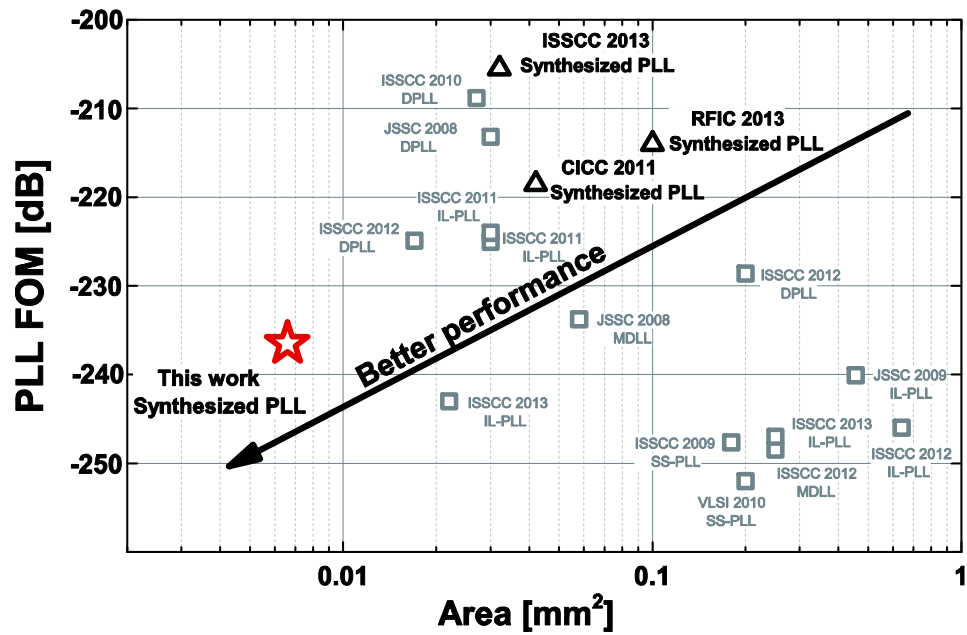


図5：論文データとの性能比較

特徴：国際会議で報告された最新の研究成果との比較において、大幅な小型化・低ジッタ化を実現した。灰色字のものは手設計によるPLLで、黒字のものは自動設計PLLである。星形の本成果によるPLLは、自動設計が可能で且つデジタル回路のみで構成できるため、大幅な小型化および低消費電力化を実現している。