

東京工業大学広報センター長

大谷 清

「300mm ウエハーを厚さ 4 μ m に超薄化」

— DRAM で検証、超小型大規模三次元メモリーに威力 —

【概要】

東京工業大学異種機能集積研究センターの大場隆之特任教授は、ディスコ、富士通研究所、PEZY Computing (ペジーコンピューティング、東京都千代田区)、WOW アライアンス (用語 1) と共同で、半導体メモリー (DRAM) が搭載された直径 300mm シリコンウエハー (基板) の厚さを 4 マイクロメートル (μ m) まで超薄化する技術を開発した。同技術はバンプ (用語 2) を用いない WOW 積層技術 (用語 3) を利用して、シリコンウエハーの厚さをデバイス層より薄い 4 μ m まで薄化することに成功したものである。

薄化前と薄化した後のリフレッシュ時間の累積故障率が変わらないことを確認し、薄化による新たな原子欠陥が生じないことを実証した。この薄化プロセスを用いれば、上下積層チップの配線長が従来の 1/10 以下になり、配線抵抗と配線容量が大幅に低減される。超小型でテラビット (1 テラは 1 兆) 級の大規模メモリーへの応用が期待される。

この成果は米国ハワイで 6 月 10~13 日に開かれる国際電子デバイス会議「VLSI シンポジウム 2014」で発表する。

●背景

半導体メモリーチップを積層し、上下チップを電気接続すれば、積層数に比例したメモリー容量が得られ、極端に微細化しなくても大容量メモリーを得ることができる。上下配線の長さは、バンプサイズとチップを貫通する接続孔 (TSV、用語 4) の長さ (チップの厚さ) で決まり、この配線長を短くすれば配線抵抗と電気容量が低減される。バンプ接続を前提としたこれまでの TSV 配線では、チップ厚さの限界が約 50 μ m であり、バンプと TSV を合わせた長さは約 100 μ m になる。TSV 一本当たりのデータ転送速度を少なくし (低周波数)、帯域幅を高めると消費電力が低くなり、このカギを握るのは TSV の敷き詰め密度と TSV の長さである。バンプと組み合わせた TSV では、TSV の数がバンプサイズとバンプピッチで決まり、また TSV 長の短縮と高密度化の障害になっている。

●研究成果

同研究グループは、ウエハーを薄化してから積層し、TSVで直接上下チップを接続配線するバンプレス TSV 配線を開発している。この方法を用いれば、バンプが不要になり、薄化プロセスの限界までウエハーを薄くすることができる。FRAM (用語 5) や MPU (用語 6) ではこれまでに $7\mu\text{m}$ の薄化に成功していた。

今回、先端 2 ギガビット DRAM が形成された厚さ $775\mu\text{m}$ の 300mm ウエハーを約 $1/200$ の厚さ $4\mu\text{m}$ まで薄くすることに成功し、ここまで薄くしても DRAM 特性に影響を与えないことを明らかにした。厚さ $4\mu\text{m}$ は、DRAM のデバイス層よりも薄く、可視光も透過する。

同薄化技術を利用すると、デバイス層を含めても $10\mu\text{m}$ 以下となり、この厚さが TSV の長さになる。これは従来のバンプを利用した TSV に比べ長さが約 $1/10$ に短縮される。TSV が短くなると、これに比例して配線抵抗と電気容量がそれぞれ小さくなる。長さが $1/10$ になると配線性能の指標となる配線抵抗と電気容量の積は $1/100$ に減少する。このため 4 ギガビット、8 ギガビット、16 ギガビットといったメモリー容量の拡大に合わせて 4 層、8 層、16 層積層しても薄化したチップであれば電氣的な課題が解消される。

薄化チップを 16 層しても全体の厚さは $200\mu\text{m}$ 以下に収まり、仮に 16 ギガビットメモリーを積層すれば小型ながら 256 ギガビットの大規模メモリーを実現することができる。これをわずか 4 個配置するだけでテラビットメモリーを実現することができる。このような大規模メモリー容量を従来方法で達成しようとする、ずいぶん先の 10 ナノメートル (nm)、7nm 級の微細化が必要になる。

超薄化で TSV を短く、また小さくできると、加工しやすくなり、生産性が大幅に向上する。同時にバンプの制約が無くなるので平方ミリメートル当たり 1000 本から 1 万本の TSV を形成することができる。このような TSV を利用すれば低周波数でも高帯域が可能となり、ギガビット転送速度当たりのエネルギー効率が向上する。

このためビッグデータ向けのサーバーやスマートフォンをはじめ小型携帯端末の消費電力が大幅に削減される。メニコア MPU (用語 7) と組み合わせれば、テラバイトの高帯域を実現することが可能になる。

【用語説明】

1. WOW アライアンス：東京工業大学を中心に設計・プロセス・装置・材料半導体関連の複数企業および研究機関からなる研究グループ。薄化したウエハーを簡単に積層することができ、バンプレス TSV 配線を用いた三次元化技術を世界で初めて開発に成功した。
2. バンプ：電極部にメッキで形成した配線接続のための突起。
3. WOW 積層技術：ウエハーの積層（Wafer-on-Wafer）で大規模集積回路を作製する三次元集積技術。積層方法には、チップ同士の積層（Chip-on-Chip）、チップとウエハーの積層（Chip-on-Wafer）があり、COC、COW、WOW の順に生産性が高くなる。
4. TSV：Through-Silicon-Via の略で、シリコンウエハーを貫通させ埋め込み配線で上下チップチップを接続させる接続孔。
5. FRAM：Ferroelectric RAM の略。強誘電体を利用した不揮発メモリーの種類。
6. MPU：Micro-Processing Unit の略。コンピューター内で基本的な演算処理を行う超小型演算装置でコンピューターの心臓部に当たる半導体チップ。
7. メニコア MPU：複数の論理回路（コアプロセッサ）を有する MPU。二個あればデュアルコアプロセッサと呼び、通常二桁以上のコアプロセッサを有する MPU に対して用いられる。

【学会発表】

- 学会名： IEEE 2014 Symposia on VLSI Technology and Circuits
題名： Ultra Thinning Down to 4- μ m using 300-mm Wafer 40-nm Node 2Gb DRAM for 3D Multi-Stack WOW Applications
発表者： Y.S. Kim, S. Kodama, Y. Mizushima, N. Maeda, H. Kitada, K. Fujimoto, T. Nakamura, D. Suzuki, A. Kawai, K. Arai and T. Ohba

【問い合わせ】

東京工業大学異種機能集積研究センター

秘書 沼澤文恵

電話：045-924-5866

E-mail： numazawa.f.aa@m.titech.ac.jp

東京工業大学 広報センター

電話：03-5734-2975

E-mail： media@jim.titech.ac.jp

【添付資料】

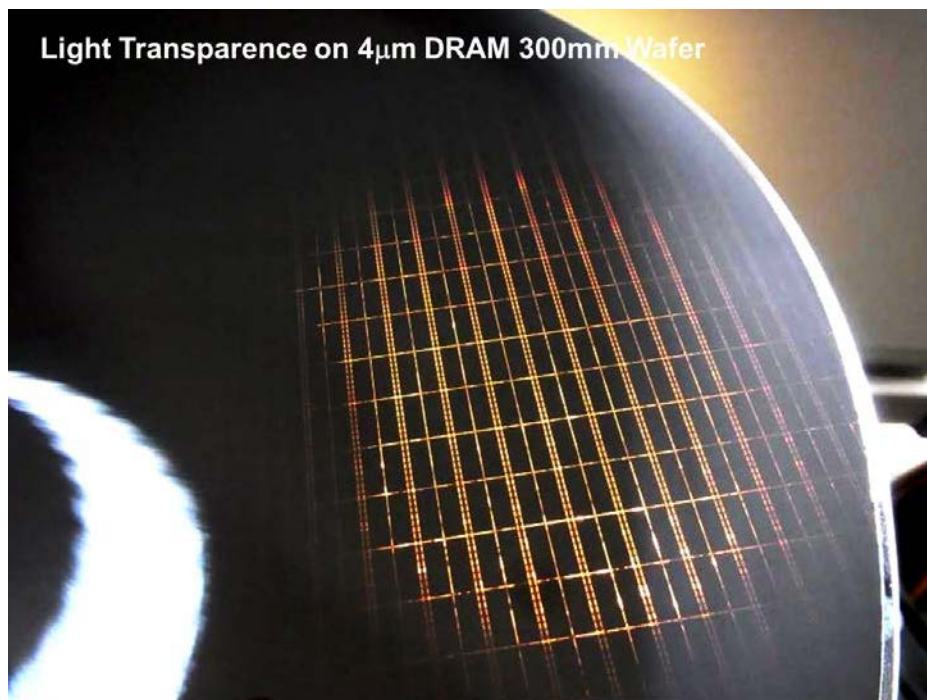


図1 4μmまで薄化した300mm DRAM ウエハー。このような薄いウエハーになると可視光が透過する。

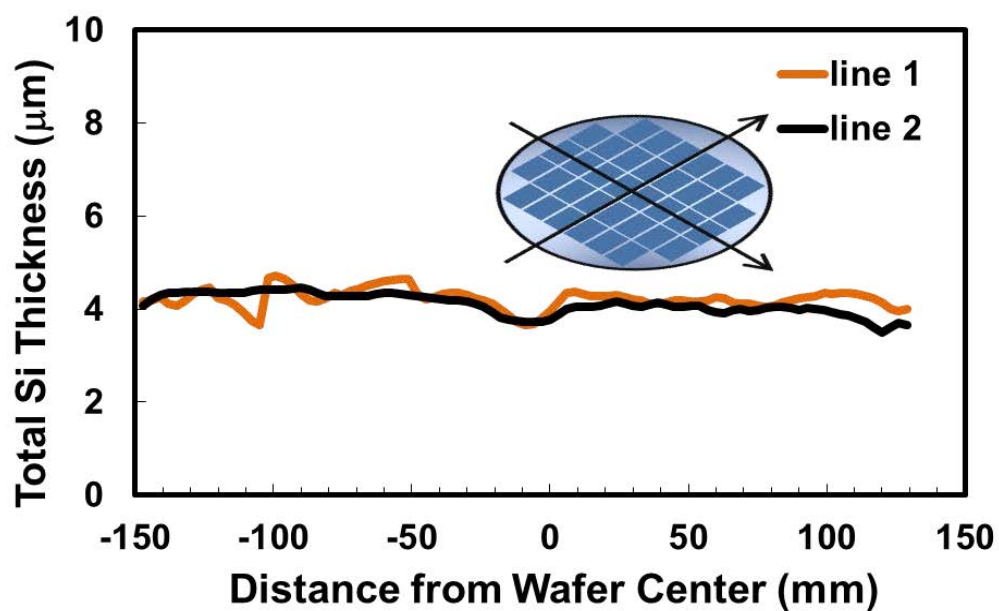


図2 4μmまで薄化したウエハーの厚さ分布。厚さばらつきは1μm以下に制御されている。

Table Wafer Level Evaluation

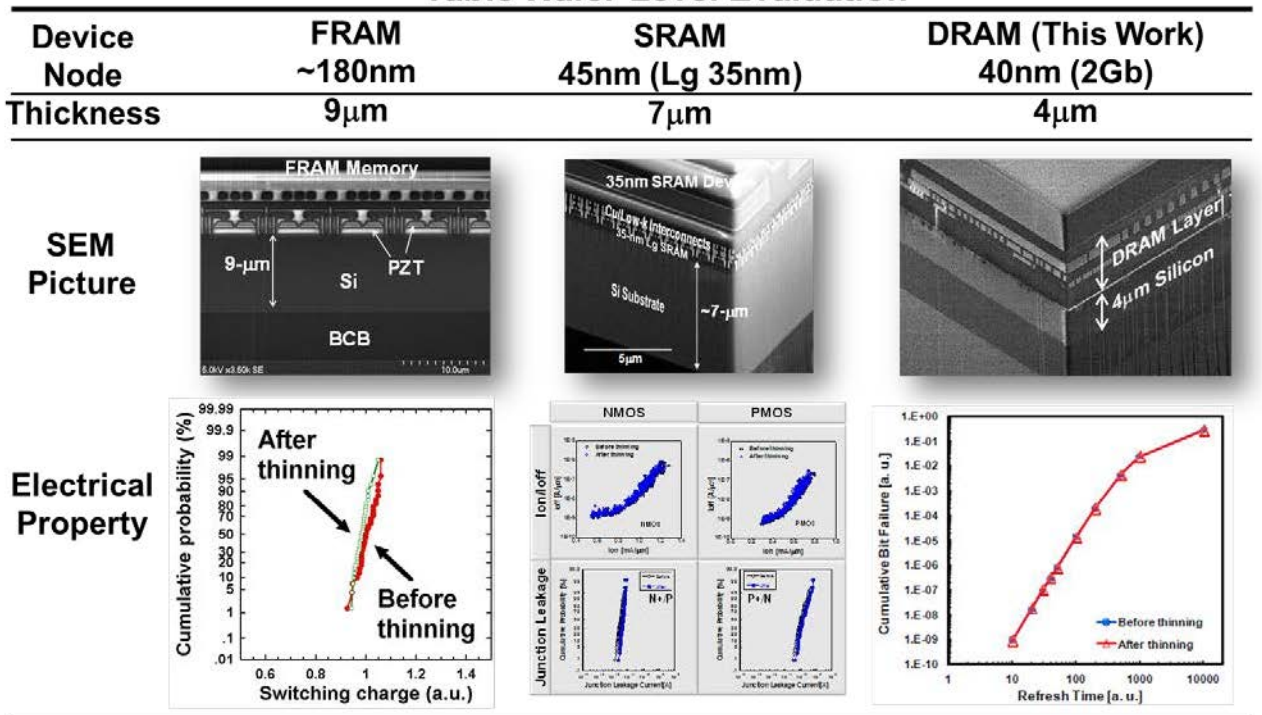


図3 FRAM、SRAM、および今回試作した DRAM デバイスの薄化と電気的特性。それぞれ 9 μ m、7 μ m、4 μ m まで薄化し、薄化でデバイス特性が変化しないことが検証された。

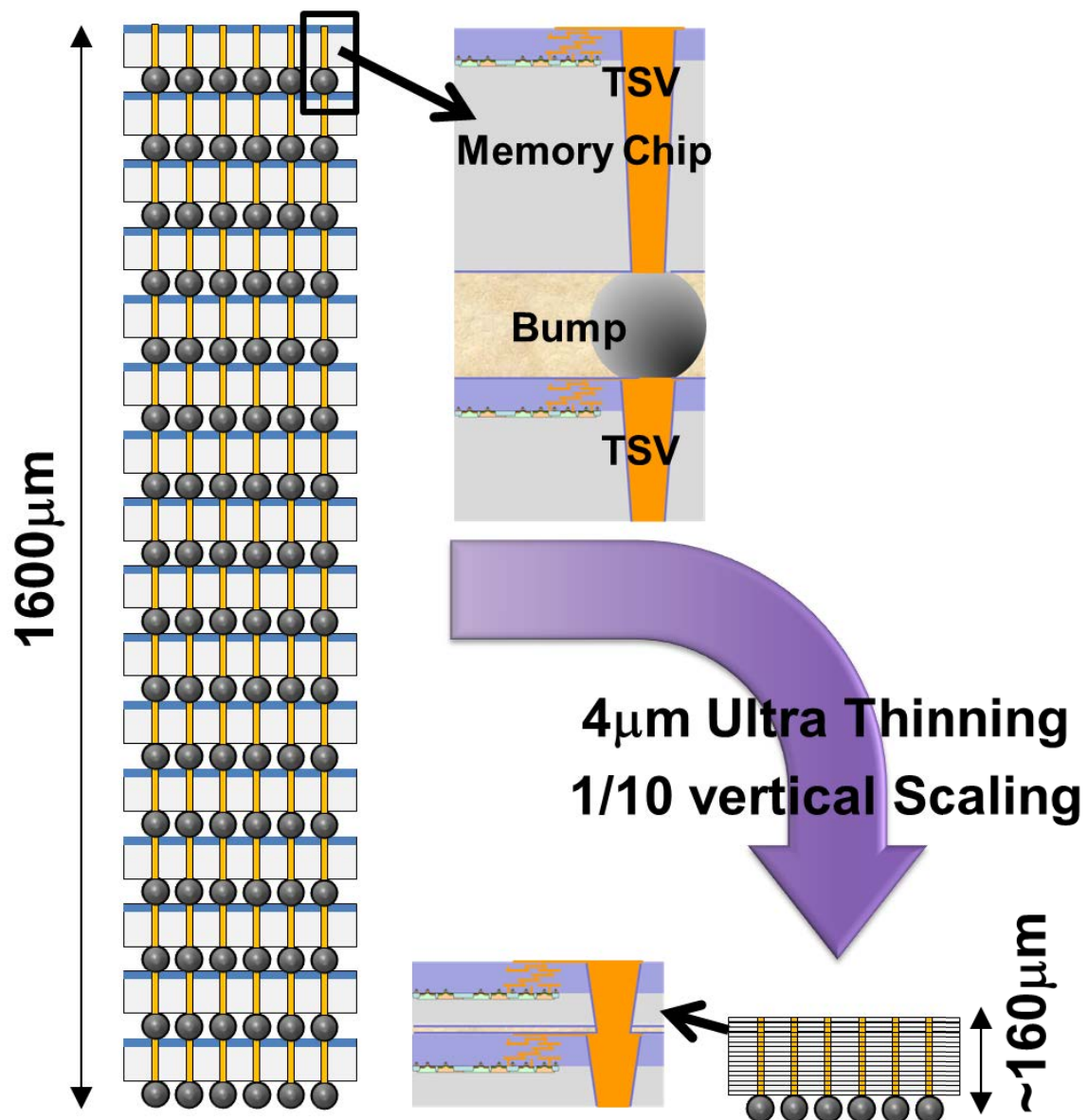


図 4 従来方法の積層と今回成功した薄化を利用して、16 層積層した時の積層厚さの比較。バンプレス TSV を利用するとバンプが無いので一層当たりの厚さがチップ厚さとなり、4 μm まで薄くすると、従来に比べて積層した時の総厚さは 1/10 になる。