



Tokyo Tech

令和2年6月9日

報道機関各位

東京工業大学

ウエハにダメージが生じないステルスダイシング加工を実現 ー3次元積層半導体用の極薄ウエハ開発に貢献ー

【要点】

- ステルスダイシングによる、ダメージが生じない極薄ウエハのレーザー加工技術を開発
- レーザーダメージ評価用チップを開発し、ダメージの定量化に成功
- 無駄の少ない加工によりチップ収量の向上を実現

【概要】

東京工業大学 科学技術創成研究院 異種機能集積研究ユニットの大場隆之特任教授は、**WOW** アライアンス（用語1）と共同で、**ステルスダイシング**（用語2）と呼ばれるレーザーダイシング加工プロセスを用いた、ダメージが生じない極薄ウエハ加工技術の開発に成功した。

現在、2次元半導体デバイスの微細化の限界を突破し、高性能化・低消費電力化を目指して、極薄ウエハを使った3次元積層半導体の開発が進められている。しかし極端に薄いウエハを分割すると欠けが増加するという問題があった。本研究では、レーザーダメージ評価用に微細配線を有する**TEG**（用語3）ウエハを開発し、ダメージ量とその発生位置の定量化に成功した。さらに今回開発したダイシング手法では、**ダイシングストリート幅**（用語4）を従来技術に比べて1/4に縮小できるため、チップ収率の向上にもつながることが分かった。

この成果はバーチャルカンファレンスとして6月3日（水）～30日（火）に開催される半導体パッケージング技術に関する国際会議「ECTC2020」（主催：IEEE）で発表する。

●背景

パソコンやスマートフォンに欠かせない CPU やメモリなどの半導体は、微細化により性能を向上させてきた。ところが、従来技術の延長線上ではこれ以上微細化できないという物理的な限界が迫っている。こうした 2 次元的な微細化限界を突破し、半導体デバイスのさらなる高性能化、低消費電力化を実現するために、ウエハをミクロンレベルまで薄くし、**TSV**（用語 5）配線を用いた 3 次元積層の開発が急ピッチで進められている。

しかし、ウエハを元の厚さから 1/10 以下まで薄くしこれをダイシング（分割）すると、チップングと呼ばれる欠けが増加する。またダイシングストリート幅によってウエハ当たりのチップの数が決まるため、チップングがなく、ダイシングストリート幅ができるだけ狭いダイシング方法が必要とされる。このため、ステルスダイシング（SD）と呼ばれるレーザーダイシング技術がすでに実用化されている。

本研究では、デバイス面に生じるわずかなダメージの評価方法を確立すること、そしてステルスダイシングにおけるレーザー波長と照射方法を工夫することによって、ダイシングストリート幅を従来技術よりも縮小することを目指した。

●研究成果

本研究では、ダメージ検出のための評価用チップとして、配線幅/スペースが $1\ \mu\text{m}/1\ \mu\text{m}$ (Al/Ti) の TEG ウエハを開発した（図 1a）。このウエハでは、ダメージ感度を向上させるために Al と Ti の膜厚をそれぞれ $30\ \text{nm}$ とした（図 1b）。ダメージ発生位置を検出するためのモニタリング配線は、レーザー加工ライン（ダイシングストリート）に対して平行に $1\ \mu\text{m}$ ピッチで設計されている（図 1c, d）。レーザー加工後に、測定パッドを通して各モニタリング配線の抵抗値変化率を計算することでダメージを評価した。

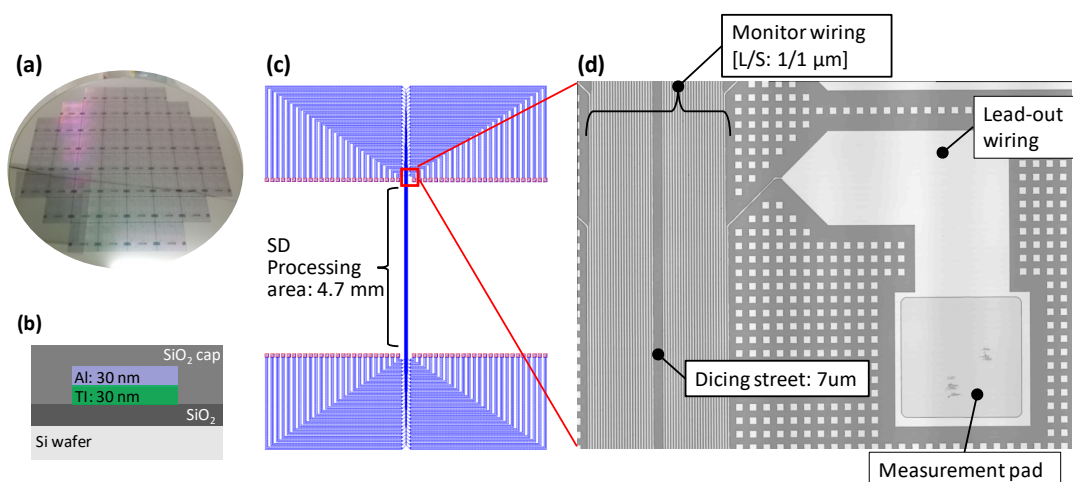


図 1 TEG 構造:(a) TEG ウエハ、(b)配線構造、(c)配線の拡大図、(d)配線の断面構造図

この TEG ウエハを用いて、薄化ウエハ用のステルスダイシングプロセスの一種である **SDBG** (用語 6) プロセスを想定し、ウエハ厚 $50\ \mu\text{m}$ としたときのダメージ評価を実施した。Si に対する波長透過率の影響を評価するために 2 種類のレーザー ($1,099\ \text{nm}$, $1,342\ \text{nm}$) を用いた。このダメージ評価の結果を図 2 に示す。波長 $1,342\ \text{nm}$ では、加工中心近傍の配線抵抗が大きく増加し、この部分でダメージが発生した (図 2a)。一方 $1,099\ \text{nm}$ では、配線抵抗値が増加してないことから、ダメージが発生しないことを確認した (図 2b)。この新たな評価手法により、波長 $1,099\ \text{nm}$ のレーザーによって、ダメージレスのステルスダイシングが可能であることが明らかになった。

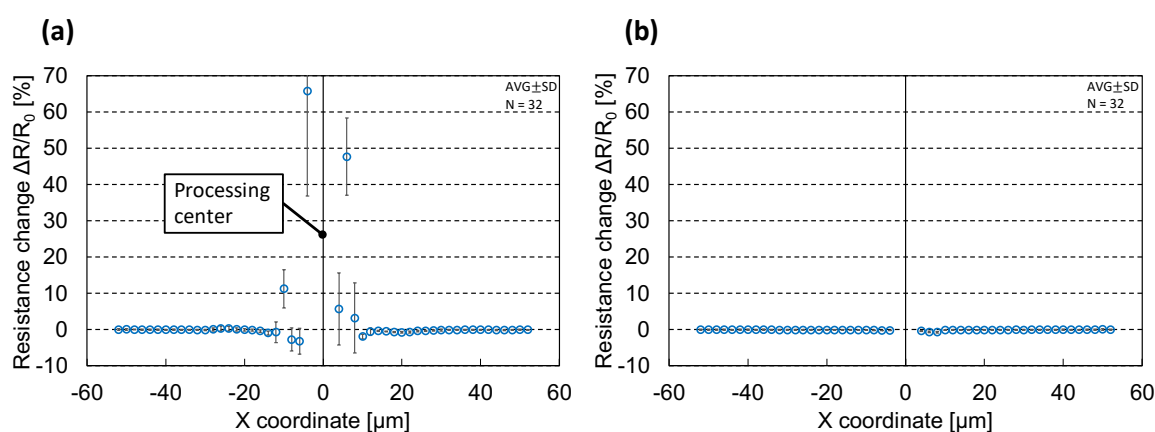


図 2 ダイシング後の配線抵抗値: (a) 波長 $1,342\ \text{nm}$ 、(b) 波長 $1,099\ \text{nm}$

このダメージレスのステルスダイシング法で必要なダイシングストリート幅を、従来のダイシング法である **DBG** (用語 7) と比較した。その結果、DBG では $60\ \mu\text{m}$ であったダイシングストリート幅が、SDBG では $15\ \mu\text{m}$ となり、 $1/4$ に削減できることが確かめられた (図 3b)。さらに、チップ面積に対する、ダイシングストリート幅の削減によるチップ収率の増加率を計算したところ、チップ面積が小さくなるほどストリート幅の削減効果が大きいことが分かった (図 4)。

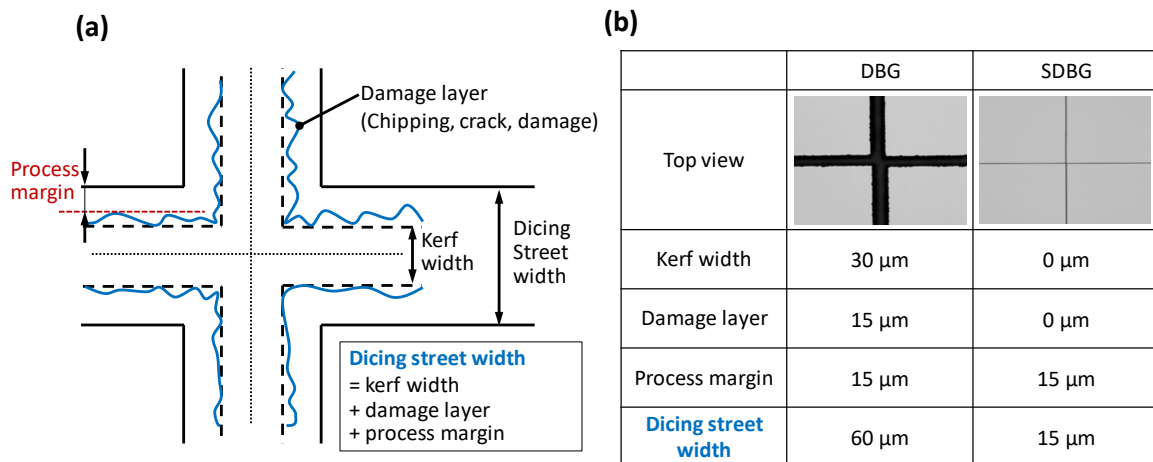


図 3 ダイシングストリート幅:(a)概略図、(b)DBGとSDBGの比較

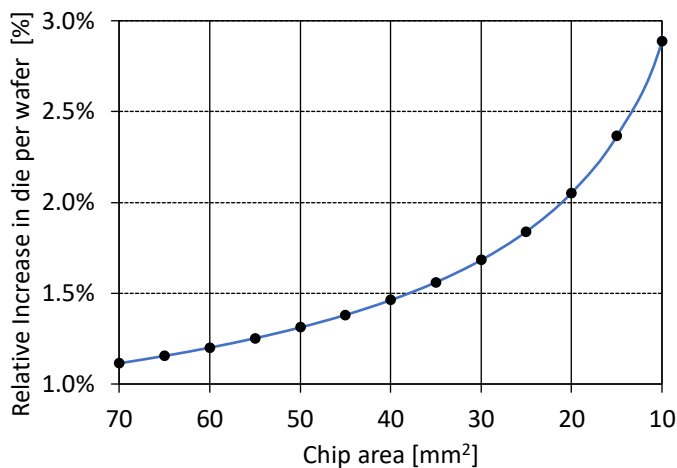


図 4 ストリート幅を 60 μm から 15 μm に削減したときのチップ数の増加率

●今後の展開

今回開発されたステルスダイシング技術は、ダイシングストリート幅が従来技術より縮小し、チップ収率を向上させることから、ウエハ製造プロセスの効率化に貢献することが期待される。今後は、このダメージレスダイシング技術の実用化に向けて、波長 1,099 nm レーザー専用の光学エンジンの製品化を目指す。

【用語説明】

- (1) **WOW アライアンス**：東京工業大学を中心に設計・プロセス・装置・材料など、半導体関連の複数企業および研究機関からなる研究グループ。薄化したウエハを簡単に積層することができ、バンプレス TSV 配線を用いた 3 次元化技術を世界で初めて開発に成功した。

- (2) **ステルスダイシング**：パルスレーザーをウエハ内部に集光し、制御した亀裂を生成することによってウエハを分割する手法。非接触加工であるため、チップングを抑制しながら、高速加工が可能。従来手法に比べて加工品質・精度が改善できるため、薄化ウエハのダイシングに適用されている。
- (3) **TEG**：Test Element Group の略であり、IC や LSI などの設計・製造上の問題を見つけ出すための評価用チップ。
- (4) **ダイシングストリート幅**：ダイシングにより分割するためにチップ間に設けられた削りしろ。チップングやカーフ幅、プロセスマージンに基づいて設計される。
- (5) **TSV**：Through-Silicon-Via の略であり、シリコンウエハを貫通させ、埋め込み配線で上下チップチップを接続させる接続孔。最近では、シリコン材料以外にも配線するため、前工程における垂直配線（vertical interconnects）とした方が分かりやすい。
- (6) **SDBG**：Stealth Dicing Before Grinding の略であり、元厚のウエハの裏面からステルスダイシングを行い、その後ウエハを裏面研削して、チップ分割するプロセスのことである。薄化チップの狭ストリート化とチップ強度の向上を実現する。
- (7) **DBG**：Dicing Before Grinding の略であり、先にウエハをハーフカットした後、裏面研削によりチップ分割する技術のことである。チップ分割時の裏面チップングを抑制できる。

【学会発表】

学会名：IEEE 70th Electronic Components and Technology Conference (ECTC2020)

題名：Damage-Less Singulation of Ultra-Thin Wafers using Stealth Dicing

発表者：Natsuki Suzuki, Tomoji Nakamura, Yuta Kondo, Shimpei Tominaga,
Kazuhiro Atsumi, and Takayuki Ohba

【問い合わせ先】

東京工業大学 科学技術創成研究院 異種機能集積研究ユニット

秘書 沼澤文恵

TEL: 045-924-5866

Email: numazawa.f.aa@m.titech.ac.jp

【取材申し込み先】

東京工業大学 総務部 広報・社会連携課

Email: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661