



Tokyo Tech

平成 27 年 12 月 9 日

報道機関各位

東京工業大学広報センター長

大 谷 清

三次元積層メモリーの厚さを 1/10 に極薄化する技術にめど

—300mm ウエハーの厚さ 2 μ m 領域で DRAM 特性を確認—

【要点】

- シリコンの厚さを 2 μ m 台にすると DRAM の電気特性が劣化
- バンプと TSV を組み合わせた垂直配線に比べ、配線長を 1/10 に短縮
- テラバイトの高帯域を実現することが可能に

【概要】

東京工業大学異種機能集積研究センターの大場隆之教授は WOW アライアンス（用語 1）と共同で、直径 300mm のシリコンウエハーをデバイス層の半分にも満たない 2 マイクロメートル（ μ m）級に超薄化することに成功し、この厚さでは半導体メモリー（DRAM）の特性が劣化する現象を初めて明らかにした。

同技術はバンプ（用語 2）を用いない WOW 積層技術（用語 3）に応用することが可能で、ウエハーの薄化は 4 μ m レベルが実用的あることが分かった。ウエハーの厚さが 4 μ m レベルであれば、薄化前と薄化した後のリフレッシュ時間の累積故障率が変わらないことを確認、薄化による新たな原子欠陥が生じないことを実証した。

この薄化プロセスを用いれば、上下積層チップの配線長が従来の 1/10 以下になり、配線抵抗と配線容量が大幅に低減される。超小型でテラビット（1 テラは 1 兆）級の大規模メモリーへの応用が期待される。

この成果は米国ワシントン DC で 12 月 6～9 日に開かれる国際電子デバイス会議「IEDM 2015」で発表された。

●背景

半導体メモリーチップを積層し、上下チップを電気接続すれば、積層数に比例したメモリー容量が得られ、極端に微細化しなくても大容量メモリーを得ることができる。上下配線の長さはバンプサイズとチップを貫通する接続孔（TSV、用語 4）の長さ（チップの厚さ）で決まり、この配線長を短くすれば配線抵抗と電気容量が低減される。

バンプ接続を前提としたこれまでの TSV 配線では、チップ厚さの限界が約 50 μm であり、バンプと TSV を合わせた長さは約 100 μm になる。TSV 一本当たりのデータ転送速度を少なくし（低周波数）、帯域幅を高めると消費電力が低くなる。このカギを握るのはウエハーの厚さである。だが、どこまで薄くできるのかはこれまで明らかになっていなかった。

●研究成果

東工大の大場教授らはウエハーを薄化してから積層し、TSV で直接上下チップを接続配線するバンプレス TSV 配線を開発している。この方法を用いれば、バンプが不要になり、薄化プロセスの限界までウエハーを薄くすることができる。FRAM（用語 5）、MPU（用語 6）、DRAM（用語 7）に対して、同研究グループはこれまでに 10 μm 以下の薄化に成功していた。

今回はどこまでウエハーを薄くできるかの極限を知るために 2 μm 台の薄化を行った。この厚さはデバイス層の 1/3 以下の厚さで、機械研削方式では世界で初めての試みである。先端 2 ギガビット DRAM が形成された 300mm ウエハーを厚さ 775 μm から約 0.3% の 2 μm まで薄化した。このような薄化を行うことにより、ようやくデバイス特性の劣化が観察され（観察個所の厚さは 2.6 μm ）、DRAM の限界厚さが 4 μm 前後にあることを明らかにした。厚さ 4 μm は、DRAM のデバイス層よりも薄く、可視光も透過する。

同薄化技術を利用すると、デバイス層を含めても 10 μm 以下となり、この厚さが TSV の長さになる。これは従来のバンプを利用した TSV に比べ長さが約 1/10 に短縮される。TSV が短くなると、これに比例して配線抵抗と電気容量がそれぞれ小さくなる。長さが 1/10 になると配線性能の指標となる配線抵抗と電気容量の積は 1/100 に減少する。このため 4 ギガビット、8 ギガビット、16 ギガビットといったメモリー容量の拡大に合わせて WOW プロセスを使って 4 層、8 層、16 層積層しても薄化したチップであれば電氣的な課題が解消される。

薄化チップを 64 層積層しても全体の厚さは 800 μm 以下に収まり、仮に 16 ギガビットメモリーを積層すれば小型ながら 1 テラビットの大規模メモリーを実現することができる。このようなメモリーの大容量化を従来の微細化で行っても、ずいぶん先の線幅 5 ナノメートル（nm）でも達成できない。このように積層された DRAM は、FOWLP 技術（用語 8）におけるデバイス部品としても用いることができる。

超薄化で TSV を短く、また小さくできると、加工しやすくなり、生産性が大幅に向上する。同時にバンプの制約がなくなるので、1 平方 mm 当たり 1000 本から 1 万本の TSV を形成することができる。

●今後の展開

ウエハー厚さ $4\mu\text{m}$ で、このような TSV を利用すれば低周波数でも高帯域が可能となり、ギガビット転送速度当たりのエネルギー効率が向上する。このためビッグデータ向けのサーバーやスマートフォンをはじめ小型携帯端末の消費電力が大幅に削減される。メニコア MPU（用語 9）と組み合わせれば、テラバイトの高帯域を実現することが可能になる。

【用語説明】

1. **WOW アライアンス**：東京工業大学を中心に設計・プロセス・装置・材料半導体関連の複数企業および研究機関からなる研究グループ。薄化したウエハーを簡単に積層することができ、バンプレス TSV 配線を用いた三次元化技術を世界で初めて開発した。
2. **バンプ**：電極部にメッキで形成した配線接続のための突起。
3. **WOW 積層技術**：ウエハーの積層（Wafer-on-Wafer）で大規模集積回路を作製する三次元集積技術。積層方法には、チップ同士の積層（Chip-on-Chip）、チップとウエハーの積層（Chip-on-Wafer）があり、COC、COW、WOW の順に生産性が高くなる。
4. **TSV**：Through-Silicon-Via の略で、シリコンウエハーを貫通させ埋め込み配線で上下チップチップを接続させる接続孔。最近では、シリコン材料以外にも配線するため、前工程における垂直配線(vertical interconnects)とした方がわかりやすい。
5. **FRAM**：Ferroelectric RAM の略。強誘電体を利用した不揮発メモリーの種類。
6. **MPU**：Micro-Processing Unit の略。コンピューター内で基本的な演算処理を行う超小型演算装置でコンピューターの心臓部に当たる半導体チップ。
7. **DRAM**：Dynamic Random Access Memory の略。コンピューターに利用される揮発メモリーの種類。
8. **FOWLP**：Fan-out Wafer Level Package の略。再配線されたウエハーにデバイスチップを搭載し、チップとウエハーを配線接続するものである。バンプを用いない分薄くなり、小型パッケージが可能になる。
9. **メニコア MPU**：複数の論理回路（コアプロセッサ）を有する MPU。2 個あればデュアルコアプロセッサと呼び、通常 2 桁以上のコアプロセッサを有する MPU に対して用いられる。

【学会発表】

- 学会名： 2015 IEEE International Electron Devices Meeting (IEDM)
題名： A Robust Wafer Thinning down to $2.6\text{-}\mu\text{m}$ for Bumpless Interconnects and DRAM WOW Applications
発表者： Y.S. Kim, S. Kodama, Y. Mizushima, T. Nakamura, N. Maeda, K. Fujimoto, A. Kawai, K. Arai and T. Ohba

【問い合わせ先】

東京工業大学異種機能集積研究センター
秘書 沼澤文恵
電話：045-924-5866
E-mail：numazawa.f.aa@m.titech.ac.jp

【取材申し込み先】

東京工業大学 広報センター
TEL：03-5734-2975
FAX：03-5734-3661
Email：media@jim.titech.ac.jp

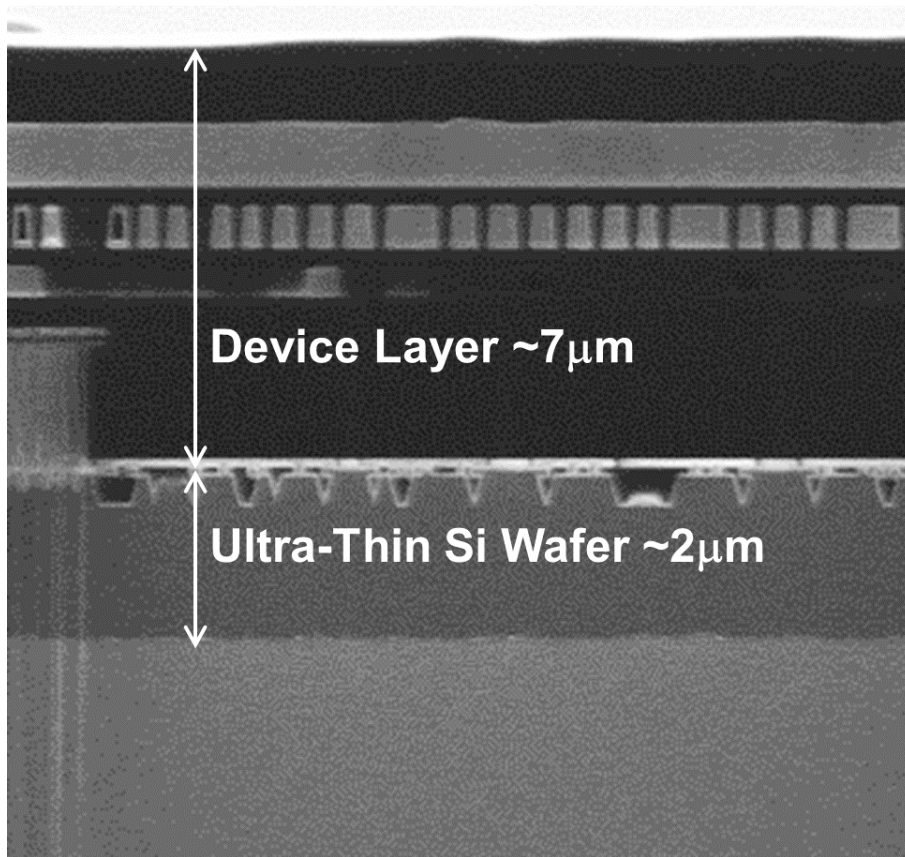


図 1. WOW プロセスを用いて 2- μm 台まで薄化した DRAM の断面電子顕微鏡写真。

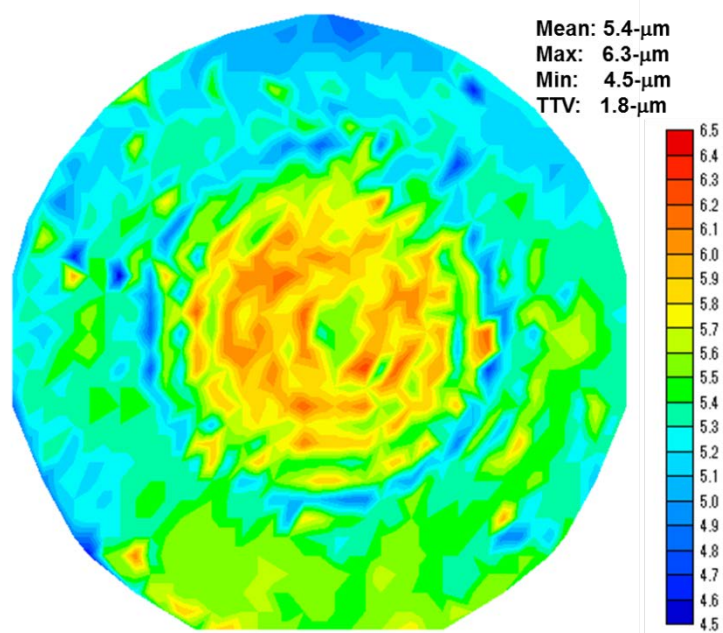


図 2. 5.4- μm まで薄化した 300mm DRAM の Si 厚さ分布。

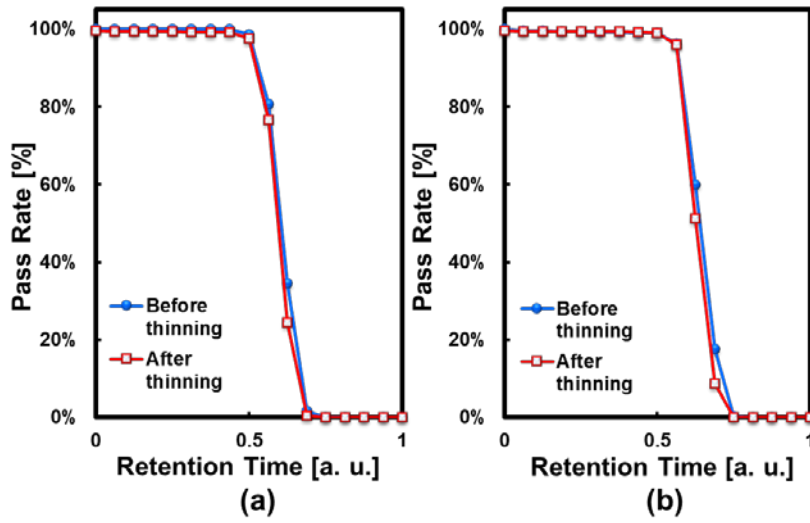


図 3. Si 厚さ 5- μm 台まで薄化した DRAM の歩留まり比較：(a) Cu 強制汚染無しと (b) Cu 強制汚染有り。Cu 強制汚染有り無し関係なく、歩留まりや特性の変化は見られない。

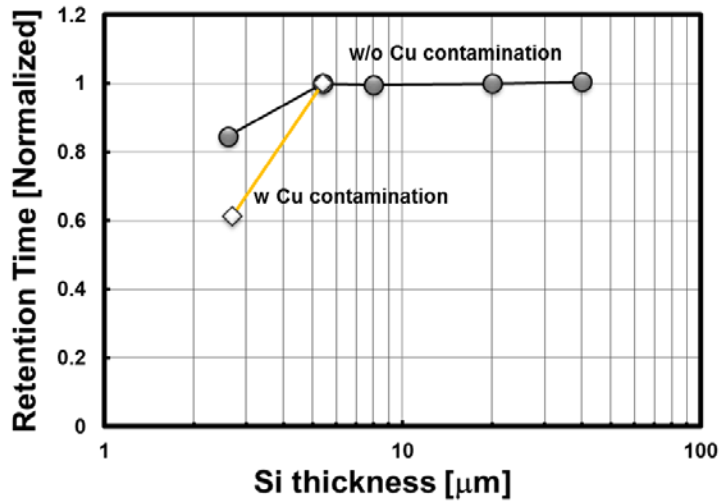


図 4. Si 残り厚さに対する DRAM のデータ保持時間依存性。4- μm 厚さまで薄くしても劣化は見られない。