



平成 28 年 4 月 20 日

報道機関各位

東京工業大学  
理化学研究所  
岡山大学

## グラフェンの先へ 新材料でトランジスタを開発

### 【要点】

- 新たな二次元材料・二硫化ハフニウム( $\text{HfS}_2$ )を用いたトランジスタを開発した
- 電流電圧測定でオン/オフ比  $10^4$  のトランジスタ動作と、電気二重層ゲート構造を用いた高い電流密度を確認した
- 低消費電力と高速動作を両立させる新材料として期待

### 【概要】

東京工業大学 工学院 電気電子系の宮本恭幸教授らと理化学研究所、岡山大学からなる共同研究チームは、新しい二次元材料である二硫化ハフニウム( $\text{HfS}_2$ )を用いた MOS トランジスタ(注 1)を開発した。

機械的剥離法(注 2)で得られた数原子層の厚さを持つ  $\text{HfS}_2$  薄片を用いたもので、裏面基板をゲート電極とした電流電圧特性において良好な飽和特性と高いオン/オフ比  $10^4$  の電流制御特性を観測した。さらにゲート電極として電解質を用いた電気二重層(注 3)トランジスタ構造において、駆動電流が裏面ゲートでの動作時と比較して約 1000 倍以上に向上し、チャンネル材料としての  $\text{HfS}_2$  の優れた性質を示唆する結果を得た。

MOS トランジスタは大規模集積回路(LSI)を構成する要素素子であり、情報技術におけるハードウェア部分における基盤である。現在その材料に用いられているシリコンと比較して二次元材料は極めて薄い(<1 nm)構造での電流駆動に適しており、将来の LSI への導入が期待されている。 $\text{HfS}_2$  は理論計算より 1.2 eV のバンドギャップ(注 4)と  $1,800 \text{ cm}^2/\text{Vs}$  の電子移動度(注 5)が予測される材料であり、従来の二次元材料と比較してより高速、低消費電力での動作に適している。

研究成果は 3 月 1 日発行の *Scientific Reports* に掲載された。

## ●研究成果

本研究グループは新たな二次元材料である二硫化ハフニウム(HfS<sub>2</sub>)の電子デバイス応用に適した物性予測に着目し、MOS トランジスタでの動作を初めて実証した。作製した素子では良好なオン/オフ比を有する電流制御特性が確認された。また、電解質電極を用いた動作では高い電流密度での動作が確認され、電子デバイス材料としての優れた特性が示唆された。

HfS<sub>2</sub>は遷移金属ダイカルコゲナイドと呼ばれる二次元結晶群に属しており、理論予測では単原子層の厚さ(約 0.6 nm)において 1800 cm<sup>2</sup>の電子移動度と 1.2 eV のバンドギャップが報告されている。これらは代表的な半導体材料であるシリコンの物性値を上回っており、電子デバイス材料として優れた性質を 1 nm 以下の厚さで実現できる可能性を示している。

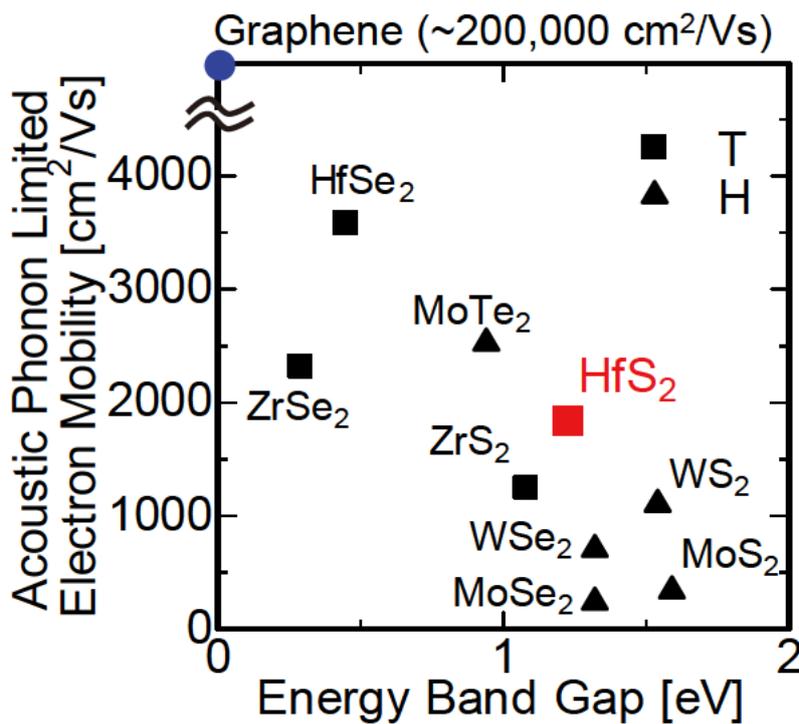


図 1 二次元結晶の電子移動度と禁制帯幅

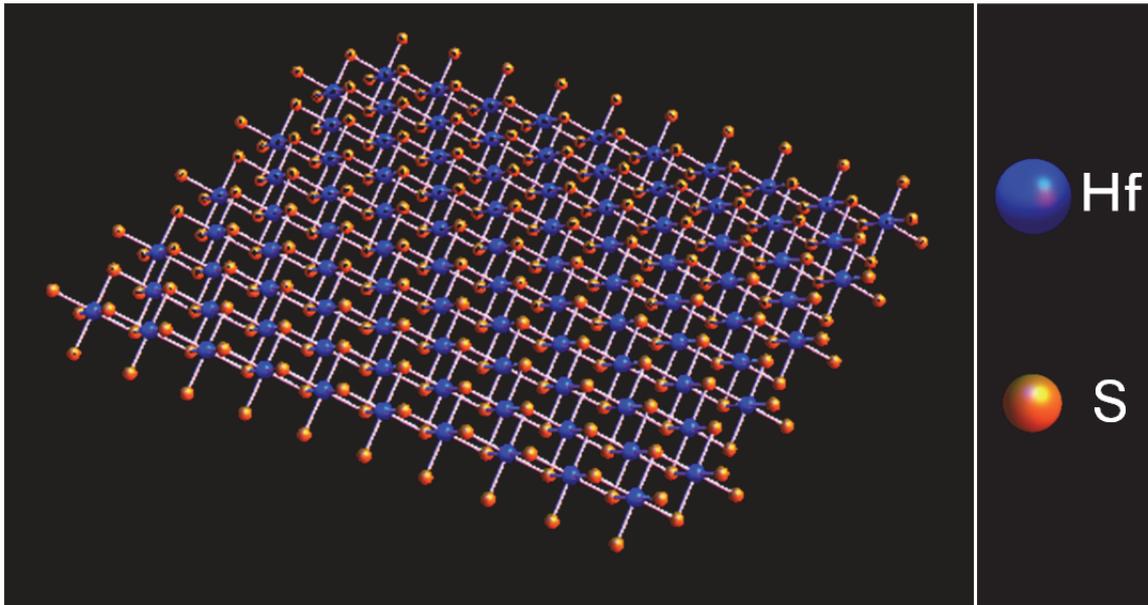


図 2 HfS<sub>2</sub> の結晶構造

実験ではスコッチテープを用いた機械的剥離法により数原子層の厚さを持つ HfS<sub>2</sub> 薄片を基板上に転写した。原子間力顕微鏡による評価では 2~10 原子層程度の厚さをもつ薄片が確認された。これら薄片上に金属電極を形成し、裏面半導体基板をゲート電極とした MOS トランジスタ構造を作製した。電流電圧特性では良好な飽和特性を持つトランジスタ特性を確認し、ゲート変調による電流のオンオフ比も 10<sup>4</sup> が得られた。これにより従来絶縁体と考えられていた HfS<sub>2</sub> が電子デバイスとして利用可能であることを明らかとした。



図 3 機械的剥離法による HfS<sub>2</sub> 結晶の薄層化

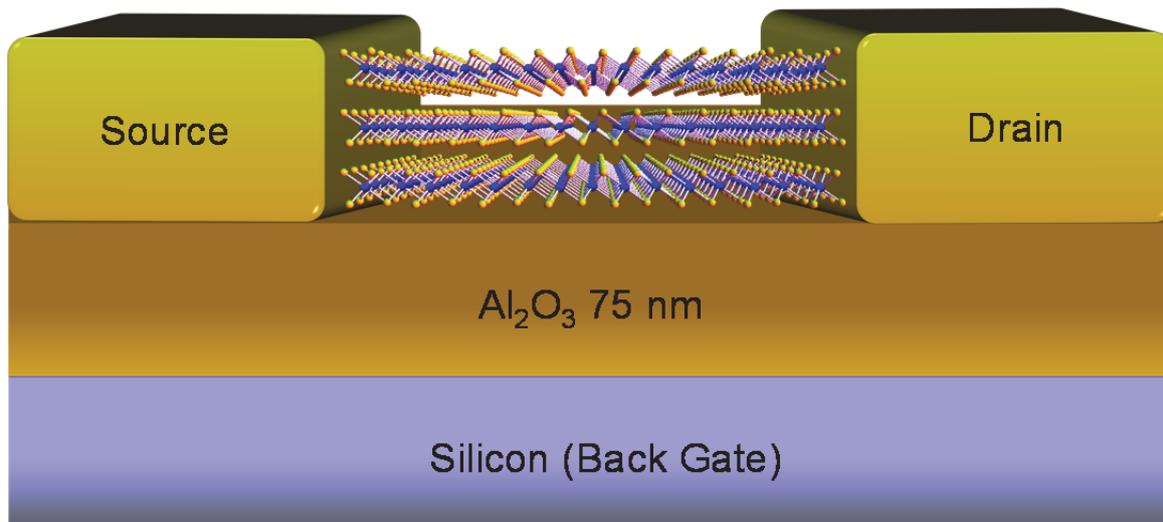


図 4 作製した MOS トランジスタ構造

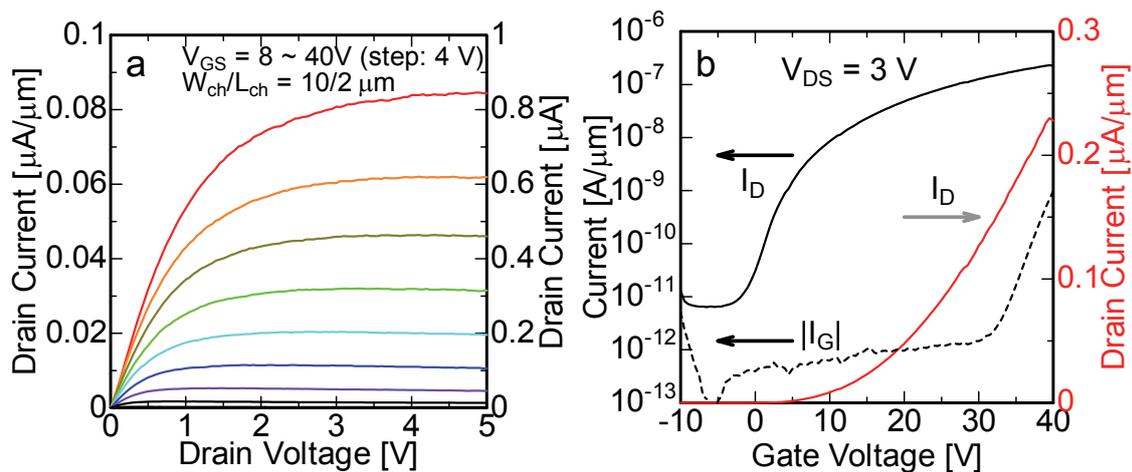


図 5 トランジスタの電流電圧特性

さらに大きなゲート容量により、低い電圧で多くの電子を発生させ、高電流での動作が期待される電解質ゲルをゲートとした電気二重層トランジスタと呼ばれる構造を用いた特性評価を行った。オン/オフ比  $10^5$  を維持しつつ、従来の遷移金属ダイカルコゲナイドを上回る電流密度が得られた。これは、 $\text{HfS}_2$  のもつ電子デバイスとしての優れた特性を示唆する結果である。

## ●背景

情報技術の進歩は LSI の基幹素子である MOS トランジスタの性能向上に支えられており、この為にはスケーリング(注 6)と呼ばれる素子サイズの縮小化が重要となる。電流を制御する領域(チャンネル)の長さを短くすると低電圧・高速での動作が可能となる。一方で漏れ電流に起因する消費電力を抑制するためにはチャンネルの厚さを同時に薄くしていくことが必要である。近年ではチャンネル長さは 10 nm 以下の領域まで縮小化が進みつつあり、この領域ではチャンネル厚さについても数 nm 以下まで削減することが望ましい。しかし従来の半導体材料系では表面に原子レベルの凹凸が存在し、極薄膜では電流輸送特性の急速な劣化による駆動能力低下が避けられない。

二次元材料は原子レベルの平坦性・厚み(<1 nm)を実現可能であり、その状態でも高い移動度が期待できる。もっとも有名な二次元材料であるグラフェン(注 7)は 100,000 cm<sup>2</sup>/Vs 以上という高い移動度が予測されているが、バンドギャップを持たないことから、LSI 素子としては消費電力の削減に課題がある。そこでバンドギャップを有する二次元材料が注目を集めている。特にその代表として二硫化モリブデン(MoS<sub>2</sub>)が研究されているが、電子移動度が理論上あまり高くないという問題があった。

## ●研究の経緯

HfS<sub>2</sub>は MoS<sub>2</sub>と比較した場合、単原子層における電子移動度で数倍の値を示すことが見込まれており、低消費電力と高速動作を両立する新材料として期待される。一方で単体の結晶としては導電性が低いことが実験的に確認されているため、これまで半導体材料としては注目されない未開拓の材料であった。この HfS<sub>2</sub>が持つ電子デバイス材料としての可能性に着目し、その優れたポテンシャルを引き出すことを目指した。

## ●今後の展開

HfS<sub>2</sub>表面を適切に保護するとともに電極との接触を改善することで、電解質電極と同等の性能を固体ゲート絶縁膜を用いて実現し、超低消費電力デバイス実現へ向けた取り組みを行う。

また、HfS<sub>2</sub>は他の二次元材料との異種材料接合における顕著な量子効果の発現が見込まれ、二次元系トンネルトランジスタ等への発展的な応用も期待される。

## 【用語説明】

- (注1) **MOS(Metal Oxide Semiconductor)トランジスタ**は金属電極からの電界効果により半導体/絶縁膜界面に誘起された可動キャリアを用いた電子デバイスであり、情報技術の根幹である集積回路の構成に欠かすことのできない素子。ソース端子とドレイン端子の間の半導体に流れるドレイン電流をゲート端子への電圧により制御する。MOSトランジスタを低消費電力で高速動作させるためには低いゲート電圧で大きなドレイン電流が流れることが必要である。
- (注2) **機械的剥離法**は二次元層状物質の単結晶から原子層厚のサンプルを得るための手法の一つ。粘着テープで層状物質を挟みこんで剥がすことを繰り返して薄層化を行い、最後に基板上にテープを張り付けて剥がすことで、数原子層厚の単結晶薄片が得られる。
- (注3) **電気二重層**は電解質内の可動イオンと固体物質内の可動電荷が組となって 1 nm 以下の距離で対向することで実効的に非常に大きなキャパシタを構成することができる。MOSトランジスタにおいてはチャネル内に高濃度のキャリアを励起することが可能となる。
- (注4) **バンドギャップ(禁制帯幅)**は半導体中の電子が存在できない領域のエネルギー的な広さのことを言い、半導体デバイスの漏れ電流を抑えるためには大きいことが望ましい。
- (注5) **電子移動度**は電子が半導体中を走行する際の電子速度と電界の強さを結びつける。移動度の高い材料は低電圧でも高速なキャリア輸送が可能のため、高速・低消費電力での動作に適している。
- (注6) **スケーリング**とは MOS トランジスタにおいて素子のサイズを比例縮小することである。低消費電力化、高速化が見込まれると同時に集積密度が向上するため、回路性能は飛躍的に改善する。一方で、極微細化にともなう量子効果の影響や材料自体の特性限界から近年ではスケーリングに加えて新たな材料や構造の導入が必要となっている。
- (注7) **グラフェン**は炭素原子が平面内で蜂の巣状に並んだ構造を持つ代表的な二次元物質である。電子移動度が非常に高く、機械的強度や熱伝導率といった面でも優れた性質を持つと共に、従来の三次元結晶に見られなかった新奇な物性を多く持つことから、未来のエレクトロニクス材料として注目を集めている。

### 【論文情報】

掲載誌：Scientific Reports

論文タイトル：Few-layer HfS<sub>2</sub> transistors

著者：Toru Kanazawa (1), Tomohiro Amemiya (1,2), Atsushi Ishikawa (2,3), Vikrant Upadhyaya (1), Kenji Tsuruta (3), Takuo Tanaka (1,2) & Yasuyuki Miyamoto (1)

所属：(1) Tokyo Institute of Technology, (2) RIKEN, (3) Okayama University

DOI: 10.1038/srep22277

### 【問い合わせ先】

東京工業大学 工学院 電気電子系

教授 宮本恭幸

Email: miya@ee.e.titech.ac.jp

Tel : 03-5734-2555

Fax: 03-5734-2907

東京工業大学 工学院 電気電子系

助教 金澤 徹

Email: kanazawa.t.aa@m.titech.ac.jp

Tel : 03-5734-2555

Fax: 03-5734-2907

東京工業大学 科学技術創成研究院 未来産業技術研究所

助教 雨宮智宏

Email: amemiya.t.ab@m.titech.ac.jp

Tel : 03-5734-2555

Fax: 03-5734-2907

**【取材申し込み先】**

東京工業大学 広報センター

Email : [media@jim.titech.ac.jp](mailto:media@jim.titech.ac.jp)

Tel : 03-5734-2975

Fax : 03-5734-3661

理化学研究所 広報室

Email : [ex-press@riken.jp](mailto:ex-press@riken.jp)

Tel : 048-467-9272

Fax : 048-462-4715

岡山大学 広報・情報戦略室

Email : [www-adm@adm.okayama-u.ac.jp](mailto:www-adm@adm.okayama-u.ac.jp)

Tel : 086-251-7292

Fax : 086-251-7294