



Tokyo Tech

平成 29 年 4 月 20 日

報道機関各位

東京工業大学広報・社会連携本部長  
岡 田 清

## 三次元 DRAM、WOW 技術で熱抵抗が 1/3 に削減

### 【要点】

- 3次元積層デバイスの熱抵抗（注1）計算法を確立
- バンプと TSV を組み合わせた垂直配線に比べ、バンプレス TSV の熱抵抗は 1/3 に
- IoT 時代に欠かせない大容量メモリーの多層積層を 3 倍に

注1：熱の伝わりにくさを表す値のこと。半導体は高発熱体であるため、熱が伝わりにくくなると、半導体の温度が上昇し、動作不良の原因になる。最新の半導体では、単位面積当たり 100W から 300W の発熱が起きる。

### 【概要】

東京工業大学 科学技術創成研究院 未来産業技術研究所の大場隆之教授は **WOW アライアンス**（用語1）と共同で、バンプレス **TSV 配線**（用語2）を用いると、3次元積層デバイスの熱抵抗を従来の**バンプ**（用語3）の接合構造と比較して、30数%（1/3）まで低減できることを明らかにした。有限要素法（**FEM**、用語4）と熱回路網の計算法を用いて解析した。

解析により、バンプ接合 **TSV 配線** の3次元積層デバイスは積層部、絶縁層、有機膜が熱抵抗の主要因であることがわかった。これに対し、バンプレス **TSV 配線** は、バンプの密度を同じにした場合、接合部の熱伝導が150倍良好であり、全体の熱抵抗では、従来手法が  $1.54 \text{ Kcm}^2/\text{W}$  であるのに対して、 $0.46 \text{ Kcm}^2/\text{W}$  にまで低減可能であることがわかった。

この成果は山形県天童市で4月19～21日に開かれるエレクトロニクス実装国際会議「**ICEP2017**」で発表する。

### ●背景

3次元積層デバイスは、上下の接続層において、**アンダーフィル材料**（用語5）のような、絶縁膜、有機膜を使用する必要があるために、熱抵抗が大きくなり、放熱技術が非常に大きな課題となっている。そのため、大場教授らはウエハーを

薄化してから積層し、TSV で直接上下チップを接続配線するバンプレス TSV 配線を開発した。この技術を用いると、積層方向の熱抵抗の低減が期待できる。実際に従来の積層手法と比較して、バンプレス TSV 配線の熱抵抗がどの程度低減するのかを推定した。

## ●研究成果

大場教授らの研究グループは、ウエハーを薄化してから積層し、TSV で直接上下チップを接続配線するバンプレス TSV 配線を開発している。この方法を用いれば、バンプが不要になり、薄化プロセスの限界までウエハーを薄くすることができる。また、この方式においては、各層間の接続に、TSV 配線を利用できるために、接続部の熱抵抗が低減できると期待される。

今回、全体の熱抵抗を見積もるために、①3次元積層デバイスの構造を仮定する、②各層の熱抵抗は FEM を用いて推定する、③全体の熱抵抗を熱回路網解析で推定する、という手順で実施した。

3次元積層デバイスはマイクロバンプタイプとバンプレスタイプの断面構造の比較図(図1)に示したように、シリコン基板、TSV 設置シリコン基板、BEOL(用語6)、垂直方向の接合構造(マイクロバンプ構造、バンプレス構造)で構成されている。今回の研究では、BEOL と垂直方向の接合構造の熱抵抗に関しては、FEM で熱伝導率を推定、また、全体の熱抵抗の計算に関しては、熱回路網を用いて推定した。

総合的な熱抵抗の推定において、マイクロバンプ構造の熱抵抗の計算に関しては、参考文献[1]の計算手法を参考に計算した。このとき、直径25マイクロメートル( $\mu\text{m}$ )のマイクロバンプを使用し、 $50\mu\text{m}$ ピッチで配置した際の、全体の熱抵抗は  $1.54 \text{ Kcm}^2/\text{W}$  と算出することができ、熱抵抗が高い要因の多くが、BEOL と垂直配線の接合構造にあることがわかった。

次に、各要素の FEM 解析を図2に示すようなモデルを用いて等価熱伝導率を推定していくことにより、バンプレスタイプの熱抵抗を推定した。その結果を図3に示す。同じバンプレスタイプの垂直方向の接合の熱抵抗は、マイクロバンプタイプのそれと比較して、同じ占有率を想定した場合、150倍小さくなることが推定できた。

この結果から、バンプレスの TSV の密度を全体の1%程度にまで減らしたとしても、熱抵抗が改善できることが分かる。そのため、TSV の本数としては、信号線として使用される本数を想定することで、放熱性としては、十分であることが分かった。

この各要素の熱抵抗から、全体の熱抵抗を計算したところ、従来のマイクロバンプの方式では、 $1.54 \text{ Kcm}^2/\text{W}$  であるのに対して、 $0.46 \text{ Kcm}^2/\text{W}$  にまで低減可能であることがわかった。また、各要素の熱抵抗と各層の発熱量から、それぞれの

温度上昇を推定したところ、マイクロバンプタイプでは約 20°Cの温度上昇が推定されるのに対して、バンプレスタイプは、約 4°Cの温度上昇ですむことが推定された。

以上の結果から、現行の温度上昇を許容するとした場合、3~4 倍の DRAM 積層が可能になる。仮に、現在量産されている積層 DRAM が 2GB であれば、6~8GB に容量を増やすことができる。このようなメモリーの大容量化は IoT（モノのインターネット）に向けた応用が期待される。

### ●今後の展開

薄化ウエハの積層と高密度 TSV 配線で実証実験を行い、携帯端末およびサーバー向け大容量メモリー技術として実用化を行う。

### 【用語説明】

1. **WOW アライアンス**：東京工業大学を中心に設計・プロセス・装置・材料半導体関連の複数企業および研究機関からなる研究グループ。薄化したウエハを簡単に積層することができ、バンプレス TSV 配線を用いた三次元化技術に世界で初めて開発に成功した。
2. **TSV 配線**：Through-Silicon-Via の略で、シリコンウエハを貫通させ埋め込み配線で上下チップチップを接続させる接続孔。最近では、シリコン材料以外にも配線するため、前工程における垂直配線(vertical interconnects)とした方がわかりやすい。
3. **バンプ**：電極部にメッキで形成した配線接続のための突起
4. **FEM**：Finite Element Method の略。有限要素法という数値解析手法の一種。
5. **アンダーフィル材料**：バンプが形成された IC チップを実装される際に用いられる絶縁材料
6. **BEOL**：Back End of Line の略。半導体前工程の中の金属配線層作成プロセス、および、このプロセスで作成された層のことを指す。

### 【参考文献】

- [1] Matsumoto, et al., “Thermal Design Guidelines for a Three-dimensional (3D) Chip Stack, Including Cooling Solutions”, 29th IEEE SEMI-THERM Symposium, 2013

【学会発表】

学会名： 2017 International Conference on Electronics Packaging (ICEP 2017)

題名： A Design Guide of Thermal Resistance down to 30% for 3D Multi-stack Devices

発表者： H. Ryoson, K. Fujimoto, T. Ohba

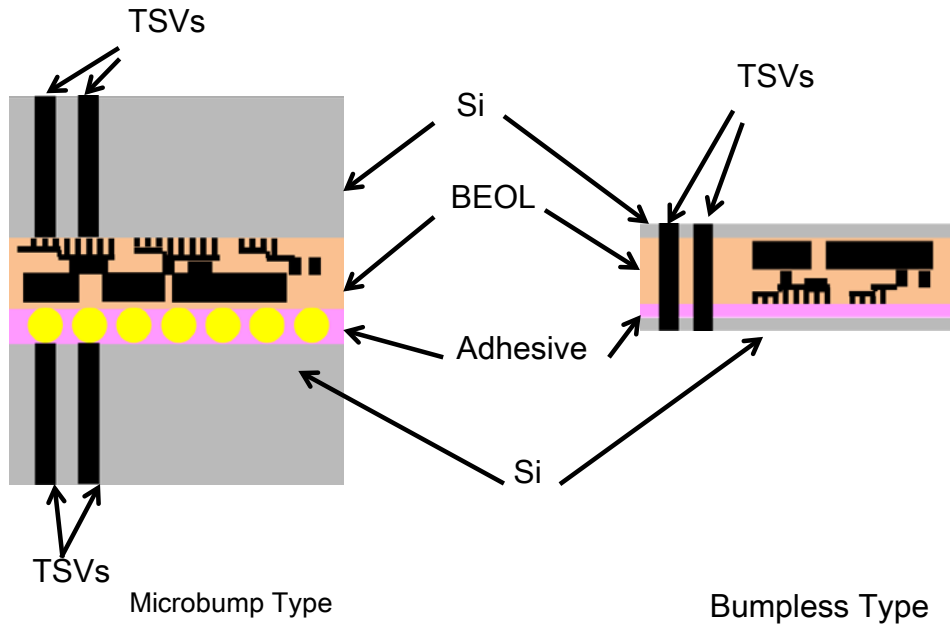


図 1. マイクロバンプタイプとバンプレスタイプの断面構造の比較図

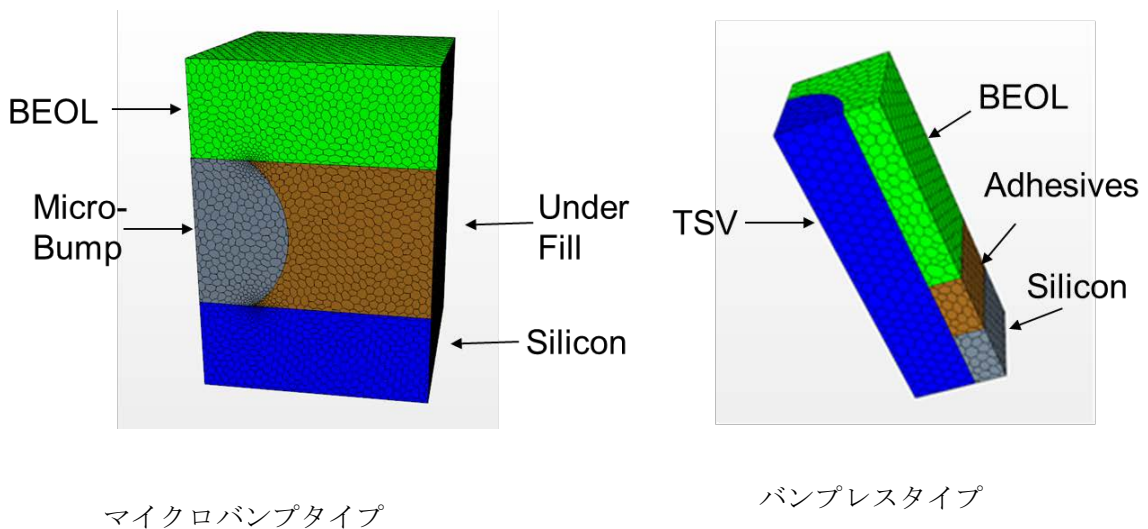
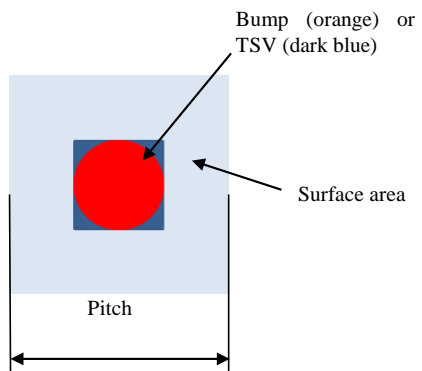
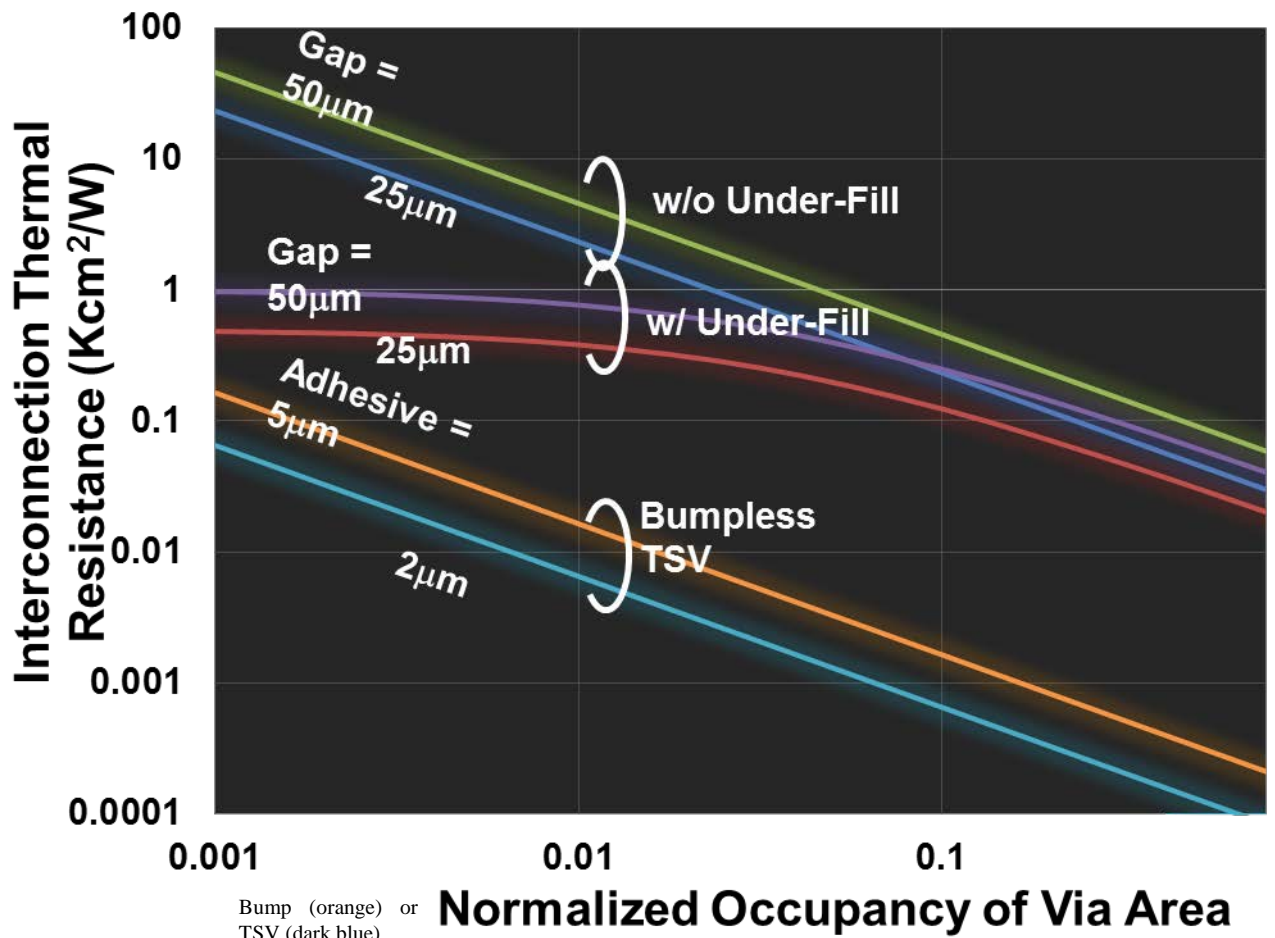


図 2. マイクロバンプタイプとバンプレスタイプの FEM モデルの比較



TSV occupancy = area of bump or TSV divided by surface area

図 3. 垂直接合部の熱抵抗の占有面積依存性のグラフ

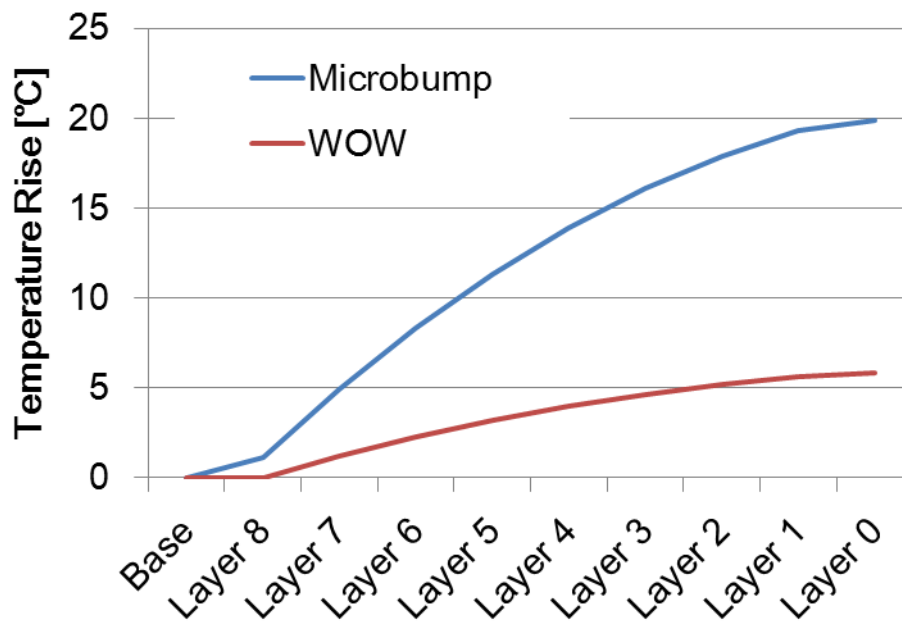


図 4. マイクロバンプタイプとバンプレスタイプの温度上昇の比較グラフ

**【問い合わせ先】**

東京工業大学 科学技術創成研究院  
 未来産業技術研究所 異種機能集積研究コア  
 秘書 沼沢文恵  
 Email : numazawa.f.aa@m.titech.ac.jp  
 TEL : 045-924-5866

**【取材申込み先】**

東京工業大学 広報・社会連携本部 広報・地域連携部門  
 Email: media@jim.titech.ac.jp  
 TEL: 03-5734-2975  
 FAX: 03-5734-3661