



報道機関各位

東京工業大学広報・社会連携本部長
佐藤 勲

組合せ最適化問題を高速に解く新しいアニーリングマシンを開発

－世界初の全結合型アニーリングプロセッサ LSI で
高いエネルギー効率を実現－

【要点】

- 組合せ最適化問題を高速に解く新たなアニーリング処理モデルを構築
- このモデルにより全結合型アニーリングプロセッサ LSI を世界で初めて開発
- 実応用性に優れ、従来比 2 桁以上のエネルギー効率改善を実現

【概要】

東京工業大学 科学技術創成研究院の本村真人教授らは、北海道大学、日立北大ラボ、東京大学と共同で、スマート社会においてますます重要となる組合せ最適化問題を高速に解くことができる新しいアニーリング処理方式と、それを利用した新しいプロセッサ LSI の開発に成功した。

アニーリング処理は「局所型」よりも「全結合型」の方が応用範囲は格段に広い反面、高速に解くのが難しく、これまで全結合型のアニーリングプロセッサ LSI は発表されていなかった。本研究では、全結合型のアニーリング処理を高速に解く新たなモデル「ストカスティック・セルラー・オートマタ (SCA)」を提案するとともに、このモデルを全並列・高速に実行するプロセッサアーキテクチャを開発し、世界初の全結合型アニーリングプロセッサ LSI 「STATICA」を実現した。STATICA は既存の手法に比べて、少なくともアニーリング処理の性能を数倍、エネルギー効率を 2 桁以上向上させることができる。

研究成果の詳細は 2 月 17 日から米国サンフランシスコで開催される「ISSCC2020 (国際固体素子回路会議)」で発表された。

本研究開発は、科学技術振興機構（JST） 戦略的創造研究推進事業 チーム型研究（CREST）

研究領域：「Society5.0 を支える革新的コンピューティング技術」

研究総括：坂井 修一（東京大学 大学院 情報理工学系研究科 教授）

研究課題：「学習／数理モデルに基づく時空間展開型アーキテクチャの創出と応用」

研究代表者：本村 真人（東京工業大学 科学技術創成研究院 教授／

AI コンピューティング研究ユニット ユニット長）

により推進されたものである。

また、日立北大ラボは、日立製作所と北海道大学が 2016 年 6 月に開設したオープンラボであり、北海道における少子高齢化や人口減少などの社会課題を解決し、地域創生につながる共同研究を推進している。

●背景

組合せ最適化問題とは、さまざまなパラメータ（選び得る変数）の組合せの中からベストな解を選択する問題である（解説 1）。交通、金融、製造・流通、化学・創薬・医療など、さまざまな分野の重要な問題が組合せ最適化問題に帰着することが知られているが、変数の数が多くなるにつれて、その組合せが爆発的に増大するため、従来型の計算機では効率的に解くことが難しい。

組合せ最適化問題の近似的な計算技法として、従来「アニーリング処理方式」（解説 2）が用いられており、これを実現する計算システムはアニーリングマシンと呼ばれている。アニーリング処理には「局所型」と「全結合同型」の二つのカテゴリー（解説 3）があり、後者の方が応用範囲は格段に広い反面、高速に解くのが難しいことが知られている。このため、これまで全結合同型のアニーリング処理を行うプロセッサ LSI は存在していなかった（解説 4）。

●研究成果

本研究ではまず、組合せ最適化問題を高速に解くことができる新しいアニーリング処理モデル「ストカスティック（確率的）・セルラー・オートマタ」（Stochastic Cellular Automata : SCA）を構築した。従来のアニーリングマシンは基本的には「シミュレーテッド・アニーリング」（Simulated Annealing : SA）か、SA に類似する計算手法をベースにしていた。SA では原理的に、ある疑似スピンの値が変わると、これとつながる全ての疑似スピンに与える影響を改めて計算する必要があった。このため、疑似スピンの値の更新は逐次的にならざるを得なかった（図 1 左）。これに対し、SCA では全疑似スピンの値を並列に更新することができる（図 1 右）。

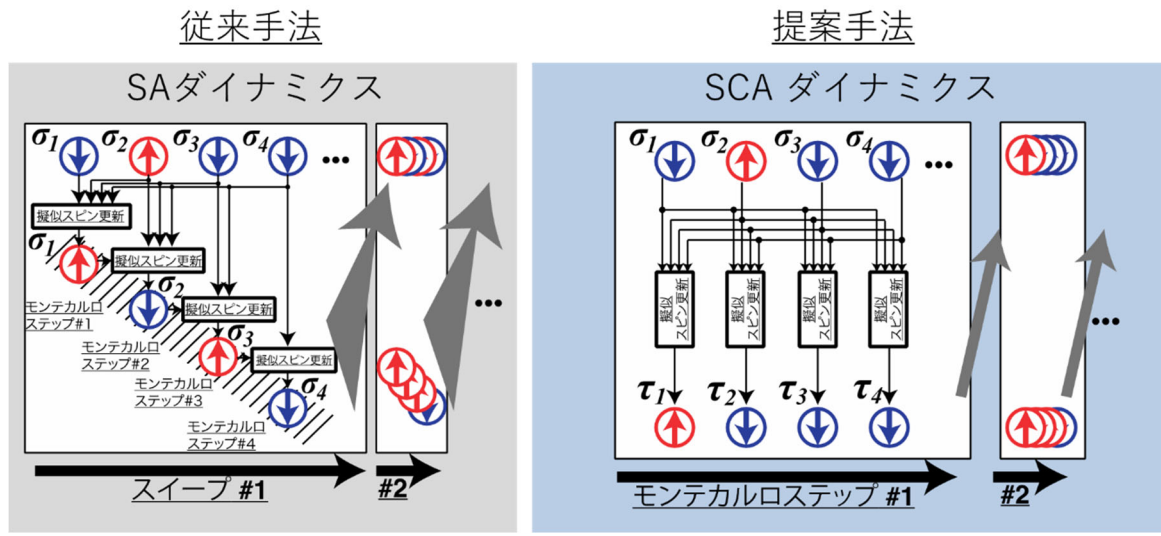


図 1: SA と SCA の比較

研究チームは、この SCA によって、SA と同じ最適解を探せることを数学的に証明し、SCA を用いたアニーリングプロセッサ LSI が実現可能であることを明らかにした。SCA における並列な疑似スピン更新は、更新したい疑似スピンにかかる相互作用係数を読み出し、現在の疑似スピンの値と演算することで行われる。この理解をもとに、相互作用係数をメモリに記憶させ、そのメモリから並列に相互作用係数を読み出し、メモリに付随したロジック回路で並列演算することで、SCA の計算を効率よく実行できることを発見した。このニアメモリ（メモリのすぐ近くで演算を行うことを指す言葉）型のアーキテクチャ（図 2）を、「STATICA」（Stochastic Cellular Automata Annealer）と名付けた。

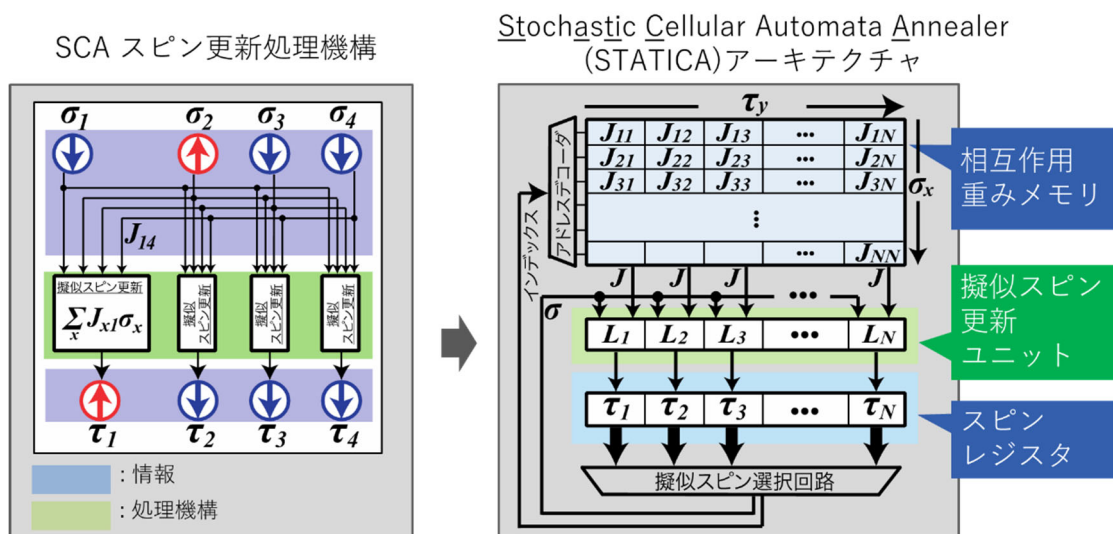


図 2: STATICA アーキテクチャ

このアーキテクチャに基づいて、512 疑似スピンの並列更新ができるように構成したアニーリングプロセッサ LSI「STATICICA」(図 3)を開発した。これは TSMC 社の 65 nm プロセスで試作したチップであり、わずか 3 mm×4 mm の大きさに 512 疑似スピンからなるイジングモデルのアニーリング処理を並列に実行できる。消費電力はわずか 600 mW 程度である。

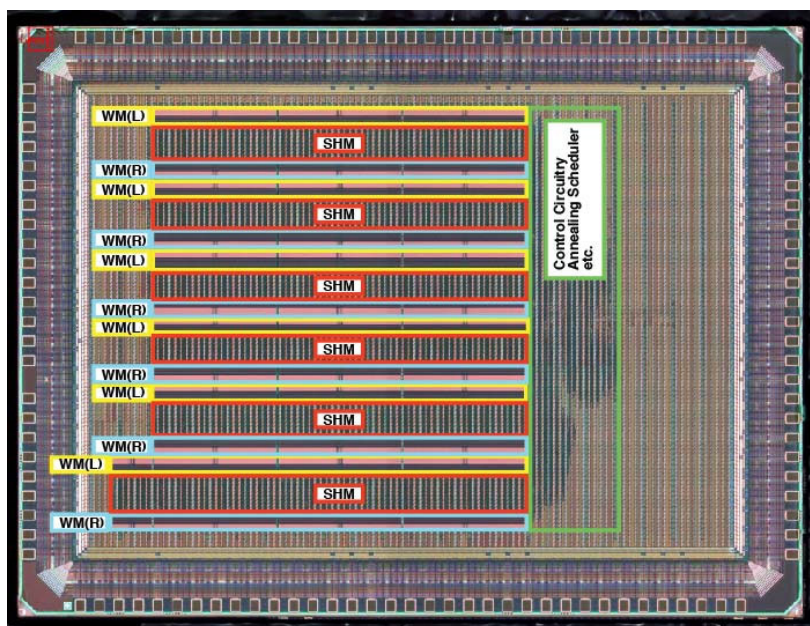


図 3:アニーリングプロセッサ LSI:STATICICA

近年、全並列型のアニーリングマシンが徐々に注目されるようになり、いくつかのマシンが提案されている。しかし STATICICA 技術は図 4 のように、そうした既存技術と比べて、アニーリング速度、消費電力、答えの精度のいずれにおいても、非常に高い指標を達成することができる（少なくともアニーリング速度では数倍、エネルギー効率では 2 桁以上の向上）。

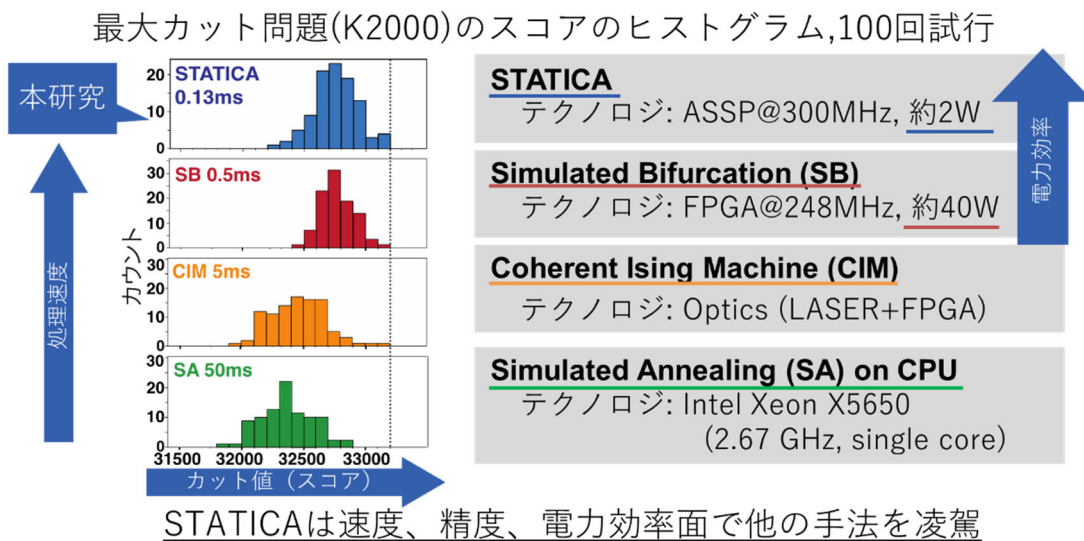


図 4: STATICA と既存の全並列型アニーリングマシンの比較(512 疑似スピン対応の STATICA 試作チップから 2000 疑似スピン搭載 STATICA チップの性能を外挿)

●今後の展開

今回開発した STATICA 試作チップでは、オンチップの疑似スピン数が 512 個となっているが、STATICA のアーキテクチャ自体は疑似スピン数をスケラブルに拡大し、より大規模な疑似スピンシステムでも並列更新を実現できることを特徴としている。今後は、社会に存在するさらに複雑で大規模な組合せ最適化問題を高速に解くトータルソリューションの実現を目指して、今回開発したチップのキャパシティ強化を進めていく。さらに、ディープラーニング・機械学習技術等を含む知識情報処理システム全体へのインテグレーションに取り組むことにより、このチップの早期の実用化を目指す。

【解説】

- (1) 組合せ最適化問題の有名な例として、複数の都市をどの順番に回れば一番効率が良いかを定める「巡回セールスマン問題」がある。変数の数（都市の数）が多くなるとともに、その組合せが爆発的に増大するため、従来型の計算機では効率的に解くことが難しい。
- (2) アニーリングとは、金属工学焼きなまし法（＝時間をかけて冷却することで、金属原子の並び方を最適にする）に着想を得た組合せ最適化問題の近似的な計算技法。近年注目されている量子アニーリングは、極低温に冷却した際に現れる量子効果を用いてこのアニーリングを実現する方法である。本研究の成果は、量子効果に頼らずに、室温の一般的な集積回路の並列演算で、量子アニーリングを凌駕するアニーリング能力を実現できることを

示唆している。

- (3) アニーリング処理においては、まず、解くべき本来の組合せ最適化問題を、1 または-1 を取る二値の変数（疑似スピンと呼ばれる）の集合体とそれら疑似スピン間の相互作用群（イジングモデルと呼ばれる）に変換する。この際相互作用が、近接する疑似スピン間に限られているものを「局所型」、疑似スピンの集合全体の中に制限なく自由に相互作用を許すものを「全結合型」と呼ぶ。組合せ最適化問題をイジングモデルに変換する際に、局所型では十分な表現能力がないため、現実社会の複雑な問題に対応するのが難しいことが知られている。このため、全結合型のアニーリング処理を効率よく実行できるソリューションが求められている。
- (4) 量子アニーリング分野でよく知られた D-Wave 社のシステムは局所型であり、(3) で述べたように応用の難しさがあると言われている。一方、全結合型を狙った研究が主に日本の企業で活発に進められているが、FPGA (Field Programmable Gate Array) や GPU (Graphics Processing Unit) をプログラムして実現するタイプの物である。CMOS 集積回路を用いて作成された全結合型アニーリングを処理するプロセッサ LSI (Large Scale Integrated Circuits) は、本発表が世界で初めてである。

【発表情報】

会議名 : International Solid-State Circuits Conference (ISSCC) 2020

論文タイトル : STATICA : A 512-Spin 0.25M-Weight Full-Digital Annealing Processor with a Near-Memory All-Spin-Update-at-Once Architecture for Combinatorial Optimization with Complete Spin-Spin Interactions

発表責任者 : 本村 真人

【問い合わせ先】

東京工業大学 科学技術創成研究院 AI コンピューティング研究ユニット

教授 本村 真人

Email: motomura@artic.iir.titech.ac.jp

TEL: 045-924-5654 FAX: 045-924-5654

【取材申し込み先】

東京工業大学 広報・社会連携本部 広報・地域連携部門

Email: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661