



Tokyo Tech

令和3年6月16日

報道機関各位

東京工業大学

超小型・低消費電力の電源基板を実現

ー3次元積層半導体用の、超小型パッケージの実用化に道一

【要点】

- 低消費電力で超小型の半導体パッケージ向け電源基板を、バンプレス Chip-on-Wafer (COW) プロセスによって開発
- Cu ダマシン TSV 配線によって、Si インターポーザへのキャパシタ内蔵に成功
- 半導体とキャパシタの間の配線長を短縮し、寄生容量の大幅な低減を実現

【概要】

東京工業大学 科学技術創成研究院 異種機能集積研究ユニットの大場隆之特任教授は、**WOW アライアンス** (用語 1) との共同研究により、低消費電力・超小型の電源基板「**キャパシタ** (用語 2) 内蔵 **Si インターポーザ** (用語 3)」の開発に成功した。手法として、**バンプ** (用語 4) を使わないウエハレベルのパッケージ化プロセスであるバンプレス **Chip-on-Wafer (COW)** (用語 5) を創出した。

現在、2次元での微細化による半導体デバイスの高性能化に限界が見られるなか、さらなる高性能化・低消費電力化を目指した3次元積層半導体の開発が進められている。しかし、3次元積層による半導体のパッケージ化では、蓄電装置であるキャパシタと半導体との間の配線が長くなり、伝達スピード低下の一因となる**寄生容量** (用語 6) も大きくなるという問題があった。

本研究では、銅 (Cu) を配線に用い、埋め込み・研磨によって垂直配線を行う Cu ダマシン **TSV** (用語 7) 配線を用いながら、半導体とパッケージ基板をつなぐ Si インターポーザにキャパシタを内蔵することで、半導体とキャパシタの間の配線長を従来に比べて 1/100 に短縮することに成功した。その結果、従来に比べて寄生容量は 1/150 になり、低消費電力につながる事が明らかになった。

この成果はバーチャルカンファレンスとして6月1日(火)～7月4日(日)に開催される半導体パッケージング技術に関する国際会議「**ECTC2021**」(主催: **IEEE**) で発表された。

●研究の背景

パソコンやスマートフォンの CPU、また電化製品のセンサー、制御装置などに欠かせない半導体は、これまで微細化によって性能を向上させてきた。ところが、2 次元的な微細化という従来の手法の延長線上にある技術では、これ以上の性能向上は難しいという物理的な限界が迫っている。

こうした 2 次元的な微細化の限界を突破し、半導体デバイスのさらなる高性能化、低消費電力化を実現するために、回路素子を配置したウエハをミクロンレベルまで薄くし、TSV 配線を用いて立体的に重ねる 3 次元積層の開発が急ピッチで進められている。

従来の 3 次元積層による半導体パッケージでは、キャパシタ (capacitor) は接合用の bumps を使ってサブストレート (package substrate、用語 8) にはんだ付けされるので、半導体 (MPU、DRAM) とキャパシタの間の配線長 (interconnect length) が 5 mm~30 mm と長くなり、寄生容量が大きくなってしまおうという問題があった (図 1a)。さらに、数多くのキャパシタを半導体の周囲に配置するため、パッケージの寸法が半導体の寸法よりも大きくなってしまおうという点も問題だった。

本研究では、抵抗率の低い銅配線を用いた伝送路である Cu インターコネクトを採用しながら、Si インターポーザにキャパシタを内蔵できる bumps レス Chip-on-Wafer (COW) プロセスを開発し、半導体とキャパシタの間の配線長を従来に比べて 1/100 に短縮することによって、超小型、かつ、低消費電力な電源基板を実現することを目指した (図 1b)。

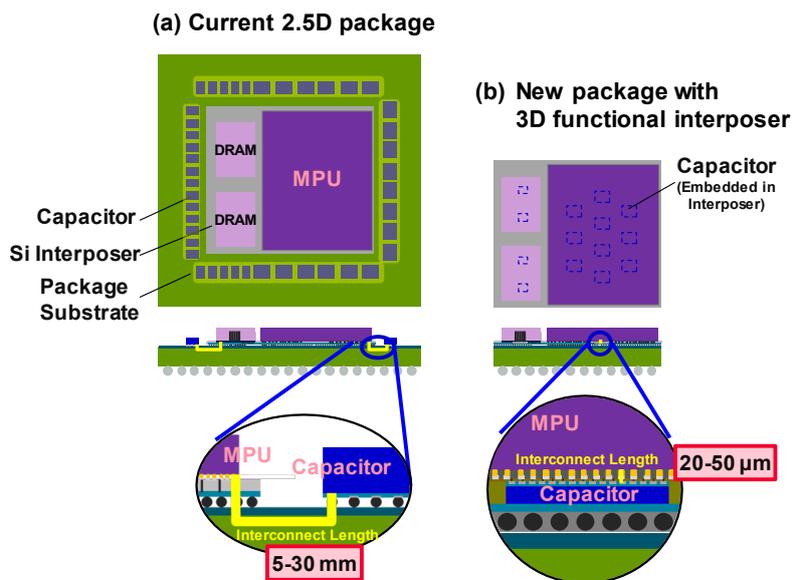


図 1 半導体パッケージ構造

(a) 現状 2.5D パッケージ、(b) 開発した電源基板を用いた 3D パッケージ

●研究手法と成果

本研究では、キャパシタを Si インターポーザに内蔵する方法として、バンプレス Chip-on-Wafer (COW) プロセスを開発した (図 2)。以下、図に沿ってその流れを説明する。

まず、直径 300 mm の Si ベースウエハに、接着剤 (adhesive) を 5 μm の厚さで塗布する (図 2-A)。その接着剤の上にキャパシタを搭載し、接着剤を硬化させることで、Si ベースウエハとキャパシタとを接着させる (図 2-B、C)。次に、エポキシ樹脂 (resin) で Si ベースウエハ全体を低圧でコンプレッション (モールド) 成形して (図 2-D)、その樹脂を薄化 (thinning) する (図 2-E)。

続いて、その後の COW プロセス中のウエハ反りを最小化するため、ベースウエハを裏返し、薄化した樹脂側に、強化材として厚さ 300 μm の Si キャリアウエハを接合する (図 2-F)。その上で、ベースウエハの厚みを 775 μm から 20 μm まで薄化 (図 2-G)。さらに TSV と RDL (用語 9) を形成することで、キャパシタと RDL を接続させる (図 2-H)。今回の研究では、このキャパシタと RDL の接続後にウエハテストを行い、電源基板の電気特性を評価した (図 2-I)。

実装する際は、Si キャリアウエハを除去し (図 2-J)、切り離しを行った (図 2-K) ものを使用する。

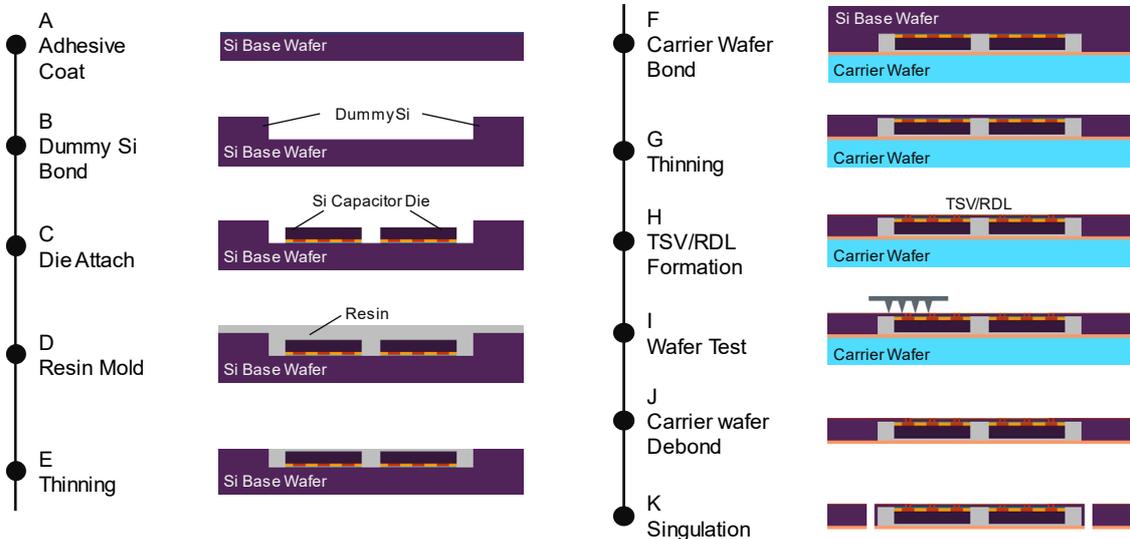


図 2 バンプレス COW プロセスフロー

このバンプレス Chip-on-Wafer (COW) プロセスによって作製した、電源基板における TSV とキャパシタ端子の接続部の断面を観察した。その結果、クラックや剥離などの欠陥はなく、また特に TSV とキャパシタ端子の間にも酸化膜残渣などは確認されず、良好な接続が得られていることが分かった (図 3)。

電源基板の電気特性として、TSV の接続抵抗 (R) を測定したところ、10 m Ω

で極めて安定していた (図 4)。これは Si インターポーザに内蔵されたキャパシタに反りや収縮がほとんど発生していないことを意味している。この評価によって得られた TSV 接続抵抗を前提として、今回開発した電源基板を使った場合の配線長の短縮による寄生容量 (parasitic capacitance) の低減効果を計算したところ、寄生容量が従来に比べて 1/150 に小さくなるという数値が算出された (図 5)。

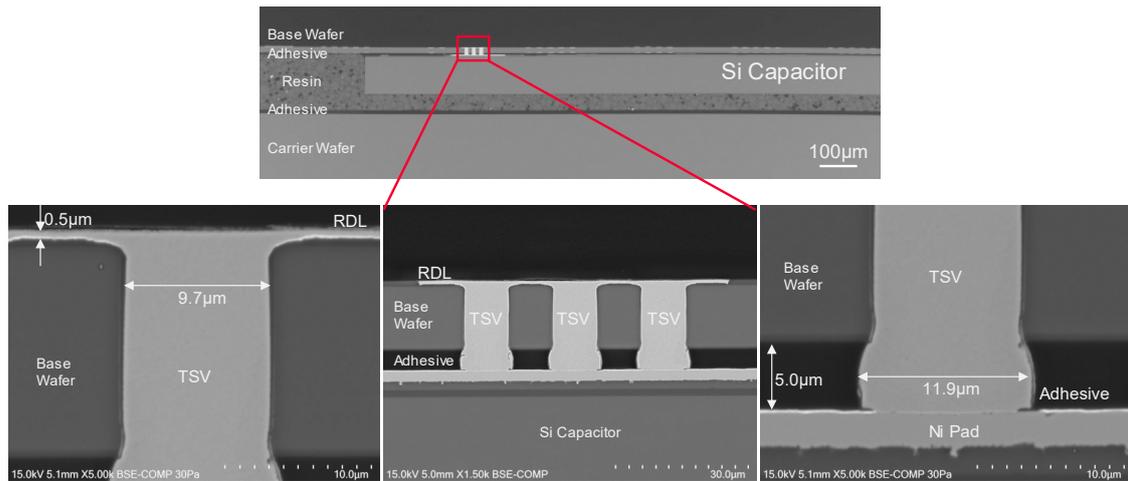


図 3 キャパシタを内蔵した電源基板の断面写真

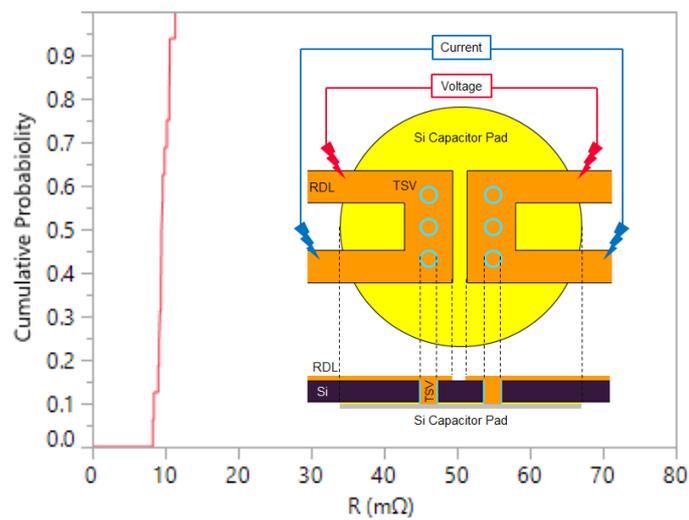


図 4 TSV の接続抵抗

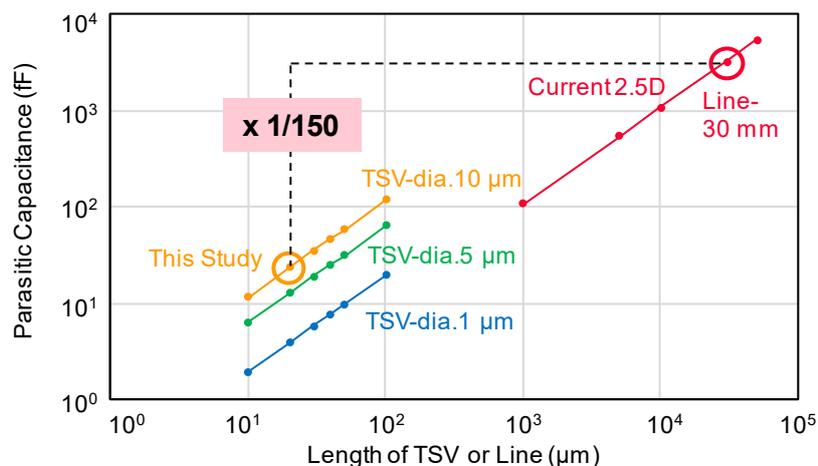


図 5 配線長の短縮による寄生容量の低減効果

●今後の展開

今回開発された電源基板「キャパシタ内蔵 Si インターポーザ」は、3次元積層半導体のパッケージに用いることで、半導体パッケージの低消費電力化、超小型化に貢献することが期待される。

今後は、このキャパシタ内蔵 Si インターポーザと 3次元積層半導体をバンプレス TSV 配線による 3次元化技術で直接接続することによって、半導体パッケージの低消費電力化、超小型化の実証を目指す。

【用語説明】

- (1) **WOW アライアンス**：東京工業大学を中心とした産学研究プラットフォーム。半導体関連の設計・プロセス・装置・材料などを手がける企業、および研究機関によって構成される。高度かつ簡便なウエハの薄化技術・積層技術を持ち、バンプレス TSV 配線を用いた 3次元化技術を世界で初めて開発に成功した。
- (2) **キャパシタ**：電気二重層の現象の原理が応用された蓄電装置。電源回路などに用いられる。従来のコンデンサよりも充電効率が高い。
- (3) **Si インターポーザ**：半導体のパッケージにおいて、端子ピッチが異なる半導体とパッケージ基板の間を中継する Si 製の電源基板。主に、ハイエンド向け半導体のパッケージにおいて用いられる。
- (4) **バンプ**：電極部にメッキで形成した配線接続のための突起。
- (5) **Chip-on-Wafer (COW)**：チップをウエハ上に接合する技術。一般的にチップの接合は、樹脂材料でできた配線基板に対して行われており、それと区別するために「ウエハ上に (Chip-on-Wafer)」という表現が用いられている。チップをウエハ上に接合することにより、以降の半導体製造工程に

- において、各種装置を用いた高精度な加工が行えるようになる。
- (6) **寄生容量**：電圧のかかった導体の間に、設計の意図から外れて発生する電氣的な負荷。
 - (7) **TSV (Through-Silicon-Via)**：シリコン (Silicon) ウエハを貫通 (Through) させて開けた接続孔 (Via：ビア)。上下に積層したチップを、埋め込み配線によって接続させる。最近では、シリコン材料以外にも配線するため、前工程における垂直配線 (vertical interconnects) とした方が分かりやすい。
 - (8) **サブストレート (Package Substrate)**：Substrate を和訳すると「回路基板」だが、一般的な配線基板 (プリント基板) に対して、半導体パッケージの基板を指すために使われる。
 - (9) **RDL (Re-Distribution-Layer)**：半導体やキャパシタなどの部品の端子から TSV などの上下貫通ビアを介して引き出す配線。

【学会発表】

学会名：IEEE 71st Electronic Components and Technology Conference (ECTC2021)

題名：Miniaturized 3D Functional Interposer Using Bumpless Chip-on-Wafer (COW) Integration with Capacitors

発表者：Tatsuya Funaki, Yoshiaki Satake, Kyosuke Kobinata, Chih-Cheng Hsiao, Hitoshi Matsuno, Shunsuke Abe, Youngsuk Kim, and Takayuki Ohba

【問い合わせ先】

東京工業大学 科学技術創成研究院 異種機能集積研究ユニット

秘書 沼澤文恵

Email: numazawa.f.aa@m.titech.ac.jp

TEL: 045-924-5866

【取材申し込み先】

東京工業大学 総務部 広報課

Email: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661