



Tokyo Tech



2021年10月29日

報道機関各位

東京工業大学
科学技術振興機構(JST)

トポロジカル絶縁体と磁気トンネル接合を集積した 次世代不揮発性メモリ SOT-MRAM の実証に成功

—超低消費電力 SOT-MRAM の実用化へ加速—

【要点】

- トポロジカル絶縁体と磁気トンネル接合を集積した SOT-MRAM 素子を作製。
- 比較的高いトンネル磁気抵抗効果による読み出しと、トポロジカル絶縁体による低電流密度の書き込みを実証。
- 電子回路の待機電力を大幅に削減できる次世代不揮発性メモリとして、実用化の加速に期待。

【概要】

東京工業大学 工学院 電気電子系のファム・ナムハイ准教授と米国カリフォルニア大学ロサンゼルス校のカン・ワン教授を中心とした国際研究チームは、トポロジカル絶縁体（用語 1）と磁気トンネル接合（MTJ、用語 2）を集積したスピン軌道トルク磁気抵抗メモリ（SOT-MRAM）素子の作製と、比較的高いトンネル磁気抵抗効果による読み出しおよびトポロジカル絶縁体による低電流密度の書き込みの実証に成功した。

SOT-MRAM は、スピントール効果（用語 3）による純スピントルを用いて、高速で書き込みができる次世代の不揮発メモリ技術である。書き込み電流と電力を下げるためには、スピントール効果が強いトポロジカル絶縁体を用いることが有望であるが、トポロジカル絶縁体と磁気トンネル接合との集積技術はこれまで確立されていなかった。今回の研究では、トポロジカル絶縁体と磁気トンネル接合を集積できることを示し、読み出しと書き込みの原理動作の実証に成功した。本研究成果により、産業界を巻き込んだ超低消費電力 SOT-MRAM の研究開発が加速されると期待できる。

本研究成果は、10月29日付（英国時間）の英国の学術誌「*Nature Communications*」に掲載された。

●背景

現代社会では、様々な情報通信機器（Information and Communication Technology; ICT）が普及しており、2050年にはICT機器の消費電力が日本の全電力量の約60%に上ると予測される。一方で、半導体集積回路の微細化によって、トランジスタの漏れ電流の増大が顕著になり、電子回路の待機電力はすでに消費電力の約50%に達している。無策のままでは、2050年には全電力の約30%がICT機器の待機電力として無駄に消費されるようになってしまう恐れがある。そのため、電子回路の待機電力を大幅に削減できる次世代不揮発性メモリ技術の開発が急務である。

磁気抵抗メモリ（MRAM）はランダムアクセスメモリの一種であり、不揮発性に加えて、高速動作、高い耐久性など非常に優れた特性を持つ。そのため、不揮発性メモリと集積回路の融合に適した技術の最有力候補とされ、世界中で研究開発が盛んに行われている。MRAMの書き込み技術としては、スピン・トランスファー・トルク法（Spin transfer torque; STT）が研究開発され、現在の製品ですでに使われている。このSTT法では、MTJ素子の磁化固定層から磁化自由層にスピン偏極電流を注入し、磁化自由層に磁化反転を起こして、データを書き込む。しかしSTT法には、MRAMの書き込みエネルギーが従来の揮発性メモリよりも1桁大きいという課題が残っている。また、STT-MRAMの書き込み電流が大きいため、サイズの大きなトランジスタを使う必要があり、既存のワーキングメモリであるDRAM並みのビット密度を実現することは難しかった。

●研究の経緯

ファム准教授らは、スピントルク効果によって発生する純スピン流によるスピン軌道トルク（Spin orbit torque : SOT）を用いた磁化反転技術に着目した。SOT-MRAMでは、スピントルク効果のスピンホール角（ θ_{SH} ）が $\theta_{SH} > 1$ であるとともに、高い電気伝導性を示すスピントルク材料を開発できれば、メモリ素子の磁化反転に必要な電流を1桁、エネルギーを2桁以上も下げることができる。ところが、工業的によく研究されてきた純スピン流源の重金属（タンタル、プラチナ、タンゲステンなど）は θ_{SH} が0.1~0.4程度と小さい。そこで、重金属の代わりとするため、スピントルク角が大きいトポロジカル絶縁体がスピントルク材料として検討されてきた。しかしMRAMでトポロジカル絶縁体と磁気トンネル接合を集積するには、トポロジカル絶縁体の結晶構造がMRAMによく使われている磁性金属と異なることや、高温プロセスにおけるトポロジカル絶縁体から磁性金属への元素拡散などの問題があり、これまで集積技術は確立されていなかった。

●研究成果

共同研究チームは SOT-MRAM 素子の作製にあたって、分子線エピタキシャル結晶成長法（用語 4）を用いて製膜した $(\text{Bi,Sb})_2\text{Te}_3$ トポロジカル絶縁体、または工業生産に適するスパッタリング法（用語 5）を用いて製膜した BiSb トポロジカル絶縁体を下部電極に配置した。さらにトポロジカル絶縁体と似た結晶構造を持つ Ru（5 nm）を中間層に、その上に CoFeB（2.5 nm）/ MgO（2 nm）/ CoFeB（5 nm）の MTJ を製膜した。次に、磁性層の CoFeB を結晶化させるために、 $250^\circ\text{C} \sim 300^\circ\text{C}$ の温度で熱処理を行った。最後に、3 端子の SOT-MRAM 素子を作製した。

図 1 (a) と図 1 (b) には素子の模型と実際の素子の写真を示す。実際の SOT-MRAM 素子サイズは $4 \times 8 \mu\text{m}^2 \sim 100 \times 200 \text{nm}^2$ と小さい。図 1 (c) にファム准教授のグループでスパッタリング法のみで作製した BiSb トポロジカル絶縁体-磁気トンネル接合の SOT-MRAM 素子 ($1 \times 3 \mu\text{m}^2$) におけるトンネル磁気抵抗効果を示す。この素子は、トポロジカル絶縁体を集積した磁気トンネル接合を 250°C で熱処理したにもかかわらず、90% という比較的高い抵抗変化を達成した。また、図 1 (d) に示すように、スピン軌道トルクによる低電流密度による書き込みに成功した。

この実証実験により、トポロジカル絶縁体と磁気トンネル接合を集積でき、読み出しと書き込みの原理動作ができることを初めて示すことができた。

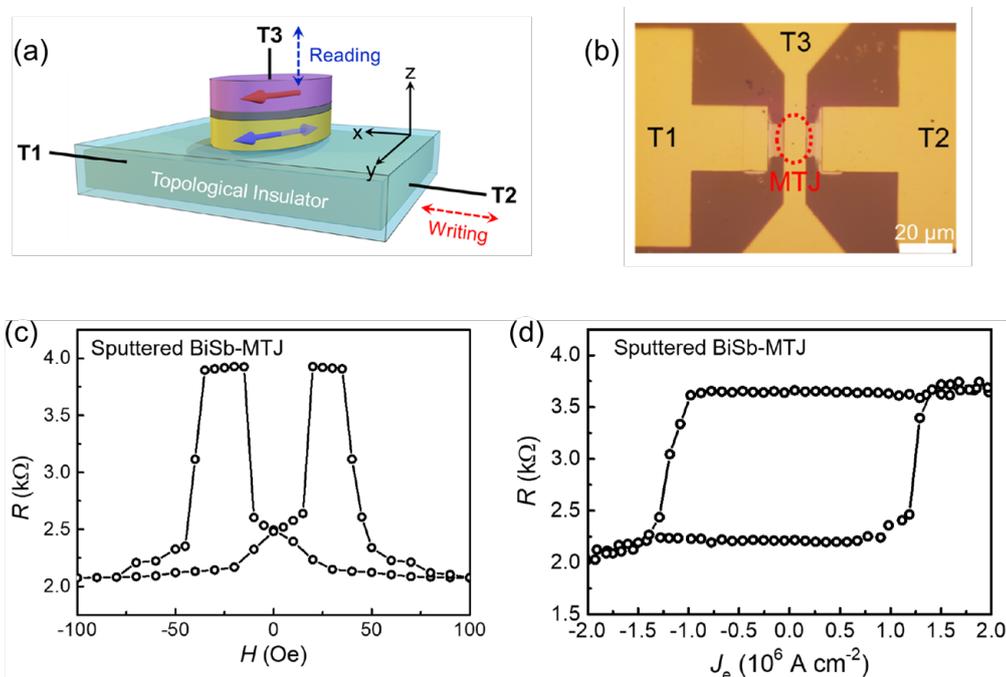


図 1 (a)トポロジカル絶縁体と CoFeB/MgO/CoFeB 磁気トンネル接合 (MTJ) を集積した 3 端子 SOT-MRAM 素子の模型と (b) 実際の素子の写真。 (c) スパッタリング法のみで作製した BiSb-MTJ 素子におけるトンネル磁気抵抗効果。 (d) スピン軌道トルクによる書き込みの実証。

●今後の展開

今回の研究で、トポロジカル絶縁体と磁気トンネル接合を集積し、原理動作を確認できたため、今後は産業界を巻き込んだ超低消費電力 SOT-MRAM の研究開発が加速されると期待できる。

●付記

本研究は、科学技術振興機構 (JST) の戦略的創造研究推進事業 (CREST) 「トポロジカル表面状態を用いるスピン軌道トルク磁気メモリの創製」 (研究代表者: ファム ナムハイ、課題番号: JPMJCR18T5) からの支援を受けて実施された。

【用語説明】

- (1) **トポロジカル絶縁体**: 内部には絶縁体のような状態でありながら、その表面には金属的な伝導状態を有する物質群。
- (2) **磁気トンネル接合 (MTJ)**: 磁性体 (磁化固定層) / 絶縁体 / 磁性体 (磁化自由層) の三層構造からなる接合で、抵抗が二つの磁性体の磁化の相対的な向きに依存するメモリ素子。磁化が平行な場合、抵抗が小さく、磁化が反平行な場合、抵抗が大きい (これはトンネル磁気抵抗効果と呼ばれる)。従って、抵抗値を測定することによって、1 ビットのデータを読み出すことができる。また、磁化自由層の向きを反転させることによって、データを書き込むことができる。
- (3) **スピnhall効果**: スピン軌道相互作用が大きな材料で、電流と垂直な方向にアップスピンとダウンスピンがたがいに逆向きに流れ、純スピン流が発生する現象。この純スピン流を磁化自由層に注入することによって、磁化に働くトルクが発生し、磁化反転を起こすことができる。ここで生じた純スピン流は、垂直 (膜厚) 方向には正味の電荷移動の代わりに、スピン角運動量を運ぶことができる。
- (4) **分子線エピタキシャル結晶成長法**: 超高真空下で、材料元素の分子線を基板に照射し、基板上に化学反応を生じさせることで薄膜の結晶成長を行う技術。半導体ヘテロ構造の結晶成長のために開発された技術であるが、金属やトポロジカル絶縁体など多くの材料にも応用されている。基板温度、成長レート、組成などのパラメータを精密に制御できることから、高品質の結晶成長に最適な方法と言える。
- (5) **スパッタリング法**: 放電によってイオン化された原子を材料のターゲットに衝突させて、材料を物理的に蒸発させる方法。大面積の基板に蒸着できるため、半導体や磁気記録の工業生産に広く使われている。

【論文情報】

掲載誌：*Nature Communications*

論文タイトル：Magnetic memory driven by topological insulators

著者：Hao Wu, Aitian Chen, Peng Zhang, Haoran He, John Nance, Chenyang Guo, Julian Sasaki, Takanori Shirokura, Pham Nam Hai, Bin Fang, Seyed Razavi, Kin Wong, Yan Wen, Yinchang Ma, Guoqiang Yu, Greg Carman, Xiufeng Han, Xixiang Zhang, and Kang Wang

DOI：10.1038/s41467-021-26478-3

【問い合わせ先】

東京工業大学 工学院 電気電子系 准教授
ファム・ナムハイ

Email: pham.n.ab@m.titech.ac.jp

TEL: 03-5734-3934 FAX: 03-5734-3870

【取材申し込み先】

東京工業大学 総務部 広報課

Email: media@jim.titech.ac.jp

TEL: 03-5734-2975 FAX: 03-5734-3661

科学技術振興機構 広報課

E-mail : jstkoho@jst.go.jp

TEL: 03-5214-8404 FAX: 03-5214-8432

【JST 事業の問い合わせ先に関すること】

科学技術振興機構 戦略研究推進部 グリーンイノベーショングループ
嶋林 ゆう子

E-mail : crest@jst.go.jp

TEL: 03-3512-3531 FAX: 03-3222-2066