



Tokyo Tech

Press Release

2023年2月18日

東京工業大学

## 新アーキテクチャのデジタル位相同期回路を開発

－ジッタ特性を大幅に改善、IoT向け低消費電力

Beyond 5G デバイスの普及を加速－

### 【要点】

- 新しい非均一オーバーサンプリング手法を用いたデジタル位相同期回路を開発。
- 雑音の大きいサンプリング領域を排除し、位相同期回路のジッタを大幅に低減。
- デジタル機器の小型化・低消費電力化を実現し、IoT向け Low-Power Beyond 5G デバイスの普及を加速。

### 【概要】

東京工業大学 工学院 電気電子系の岡田健一教授らの研究グループは、PLL の**オーバーサンプリング**（用語1）を非均一に行う新しいアーキテクチャによる、低消費電力・低ジッタ（用語2）特性のデジタル**位相同期回路**（PLL、用語3）の開発に成功した。

PLL はこれまで、無線機器用集積回路の小型・低消費電力化や低コスト化を実現してきたが、**ループ帯域幅**（用語4）が狭い点が問題だった。オーバーサンプリング手法を用いたPLLでは、ループ帯域幅を稼げる一方で、サンプリング時の雑音の影響でジッタが大きくなる課題があった。

今回の研究では、雑音の影響の大きい部分のサンプリングを避けて非均一なオーバーサンプリングを行うという新たな手法でこの問題を解決した。開発したPLLを、最小の配線半ピッチ（幅）65 nm（ナノメートル）のシリコン**CMOS プロセス**（用語5）で試作し、200 kHz の**ループ利得**（用語6）を4.95 ps の低ジッタで実現した。消費電力は3.8 mWである。このPLLは今後、小型・低コスト、低消費電力を重視するIoT向け Low-Power **Beyond 5G**（用語7）デバイス等への応用が期待される。

研究成果は、2月19日～23日に米国サンフランシスコで開催される「ISSCC 2023（国際固体素子回路会議）」で発表される。

## ●開発の背景

32 kHz の水晶振動子から直接高周波の基準信号を生成するデジタル位相同期回路 (Phase-Locked Loop、PLL) は、高周波用の振動子を不要にできることから、無線機器用の集積回路の小型・低消費電力化、低コスト化に大きく貢献してきた。しかしながら、32 kHz という低い参照信号による PLL にはループ帯域幅が小さいという課題があった。この課題を解決するために、オーバーサンプリングの手法によってループ帯域幅を向上する提案がなされたが、従来の均一なオーバーサンプリングでは、参照電圧信号の雑音によってジッタが発生することが問題となっていた。

ジッタは、高周波デジタル信号を使用する最新の電子機器に共通する大きな問題であり、特に IoT に向けた無線機器には小型・低消費電力の低ジッタ PLL が強く求められていた。

## ●研究成果

今回の研究で開発した PLL では、従来のオーバーサンプリングの課題を解決するため、オーバーサンプリングの間隔を非均一にする新しいアーキテクチャを提案し、ジッタを大きく低減した。

今回提案した非均一なオーバーサンプリング手法では、参照電圧信号のうち、雑音の多い部分は従来よりもサンプリングを減らし、他の部分を密にサンプリングする (図 1)。これにより、位相検出器からのノイズの影響を低減し、PLL のジッタを大きく削減できる。

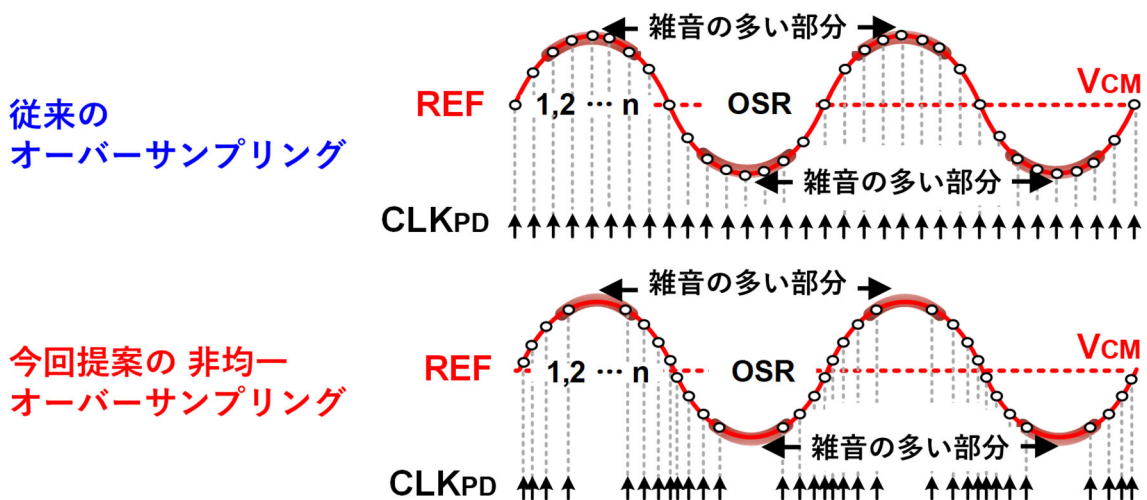


図 1. 従来のオーバーサンプリングと今回提案した非均一オーバーサンプリングの比較

本アーキテクチャを用いたデジタル PLL 回路を、65 nm の CMOS プロセスを用いて実際に作製した (図 2)。チップサイズは 1.58 mm x 1.2 mm で、新たに開発した利得増大位相検出器を内蔵し、異なるサンプリングポイントのループ利得を動的に調整できるようにした。

作製した回路を評価した結果、200 kHz のループ帯域幅を 4.95 ps の低ジッタで実現できていることがわかった。消費電力はわずか 3.8 mW であった。

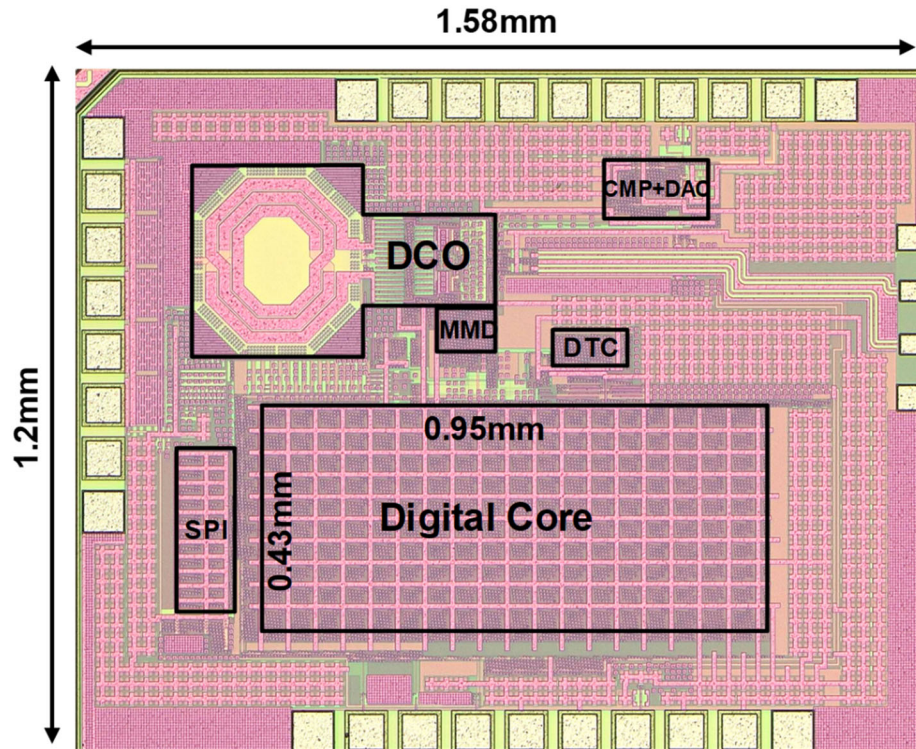


図 2. 作製した PLL 回路のチップ写真

### ●社会的インパクト

本研究で開発された PLL は、高いエネルギー効率を必要とするアプリケーションの実現に貢献するものである。特に、近い将来には機器の個数が 1 兆個にも及ぶと言われる IoT 機器は、インターネット接続のために通信回路が不可欠であり、その通信回路の性能の鍵となるのが PLL である。今回の成果であるジッタの小さい小型・低消費電力、低コストの PLL は、次世代通信ネットワークの要となる低消費電力 Beyond 5G デバイスにも応用でき、IoT デバイスの普及を一気に加速すると期待できる。

### ●今後の展開

本研究成果により、低ジッタで高品質な信号を、高い電力効率で低コストに得ることが可能となり、IoT 機器用の通信回路をはじめ、次世代センサーデバイス、パワーデバイス等の多くのアプリケーションがその恩恵を受けると考えられる。

### ●付記

本研究は、国立研究開発法人情報通信研究機構 (NICT (エヌアイシーティー)) の委託研究「継続的進化を可能とする B5G IoT SoC 及び IoT ソリューション構築プラットフォームの研究開発」(採択番号 00801) の成果の一部である。

## 【用語説明】

- (1) **オーバーサンプリング**：アナログ信号をデジタルデータに変換（A/D 変換）する際、元のアナログ信号に含まれる最大周波数の 2 倍の周波数(サンプリング周波数)でサンプリング(標本化)しておくことで、元の信号の情報を失わずに再現することが可能となるが、このサンプリング周波数よりも高い周波数で標本化することをオーバーサンプリングという。何倍も高い周波数でサンプリングすることで、ノイズが広い周波数帯に拡散し、本来必要な周波数帯に乗るノイズの量を減らす効果がある。
- (2) **ジッタ**：クロックの重要な特性の一つであり、クロック信号の立ち上がりまたは立ち下りタイミングが揺らぐ現象。本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。ジッタが小さいほど、クロックの揺らぎが小さい状況を示す。クロックを生成している発振器の位相雑音特性に大きく依存し、位相雑音が低いほど、ジッタも小さくなる。
- (3) **位相同期回路 (PLL : Phase-Locked Loop)**：集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数  $f_{ref}$  を用い、それを  $N$  通倍して所望周波数  $N \cdot f_{ref}$  の周波数の信号を得る。そのための回路を位相同期回路 (PLL) という。PLL には、位相周波数比較器、チャージポンプ、ローパスフィルタを用いるアナログ PLL と、時間差デジタル変換器 (TDC) とデジタルローパスフィルタを用いるデジタル PLL (オールデジタル PLL とも呼ばれる) が知られている。
- (4) **ループ帯域幅**：PLL の構成要素であるループフィルタのカットオフ周波数までの周波数帯域。ループ帯域幅が広いほど出力信号のレスポンスが向上する。
- (5) **CMOS プロセス**：N 型と P 型の MOSFET を相補的に用いた集積回路であり、バイポーラプロセスと比較して消費電力の削減と高い集積率を実現したプロセスである。近年の集積回路はほぼすべてが CMOS プロセスとなっている。
- (6) **ループ利得**：PLL の負帰還ループを一巡した利得。ループ利得が 1 になる周波数までがループ帯域幅となる。
- (7) **Beyond 5G**：第 5 世代移動通信システム (5G) の次の世代の移動通信システム。

## 【発表予定】

この成果は 2 月 19 日～23 日にサンフランシスコで開催される「2023 IEEE International Solid-State Circuits Conference (ISSCC 2023) : 2023 年米国電気電子学会 国際固体素子回路会議」における講演セッション「Session 4 – A 32kHz-Reference 2.4GHz Fractional-N Nonuniform Oversampling PLL with Gain-Boosted PD and Loop-Gain Calibration」の講演タイトルで、現地時間 2 月 20 日午後 3 時 15 分から発表する。

(講演情報)

講演セッション：Session 4 –Frequency Synthesizers

講演時間：現地時間 2 月 20 日午後 3 時 15 分

講演タイトル：A 32kHz-Reference 2.4GHz Fractional-N Nonuniform Oversampling PLL  
with Gain-Boosted PD and Loop-Gain Calibration

(ISSCC 会議情報)

<http://isscc.org/>

<http://submissions.mirasmart.com/ISSCC2023/PDF/ISSCC2023AdvanceProgram.pdf>

**【問い合わせ先】**

東京工業大学 工学院 電気電子系 教授

岡田 健一（おかだ けんいち）

Email: [okada@ee.e.titech.ac.jp](mailto:okada@ee.e.titech.ac.jp)

TEL: 03-5734-3764 FAX: 03-5734-3764

**【取材申し込み先】**

東京工業大学 総務部 広報課

Email: [media@jim.titech.ac.jp](mailto:media@jim.titech.ac.jp)

TEL: 03-5734-2975 FAX: 03-5734-3661