



Tokyo Tech

平成 31 年 2 月 7 日

報道機関各位

東京工業大学広報・社会連携本部長

佐藤 勲

## 極低消費電力のデジタル位相同期回路を開発

—IoT 社会を支える電子部品—

### 【要点】

- 電子機器に組み込むデジタル位相同期回路の低消費電力化を実現
- サブサンプリングとサンプリングを組み合わせることで従来よりも 60%の電力削減を実現
- エネルギー効率を重視する SoC などへの応用を期待

### 【概要】

東京工業大学 工学院 電気電子系の岡田健一准教授らの研究グループは、極低消費電力で動作する分数分周タイプのデジタル位相同期回路(PLL、**phase locked loop**)<sup>(用語1、2)</sup>の開発に成功した。これは、PLLの通常のサンプリング動作にサブサンプリング動作<sup>(用語3)</sup>を組み合わせることで実現した。これまでサブサンプリング動作により低消費電力化が可能な反面、稀に誤った周波数を出力する問題があった。それを動作時間の短い周波数同期回路を用いることで問題を解決した。

開発したPLLは、最小の配線半ピッチ(幅)65nm(ナノメートル)のシリコンCMOSプロセス<sup>(用語4)</sup>で試作し、265 $\mu$ Wの極低消費電力で動作することを確認した。これまでに報告された分数分周タイプのデジタルPLLに比べ、60%の消費電力削減を実現。このPLLは、エネルギー効率を重視するSoC<sup>(用語5)</sup>などのシステムへの応用が期待される。

研究成果は、2月17日～21日に米国サンフランシスコで開催される「ISSCC 2019(国際固体素子回路会議)」で発表される。

※本研究開発の成果の一部は国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)委託事業「IoT推進のための横断技術開発プロジェクト」の結果得られたものである。

## ●研究の背景・意義

昨今の高いエネルギー効率を目指す SoC などのシステムにおいて、低消費電力 CMOS の大規模集積回路 (LSI) 技術の重要性は高まりつつある。特に PLL は、例えば通信分野のキャリア生成やプロセッサ、メモリ等へのシステムクロックの生成など多岐にわたり必須の回路であり、性能を維持したまま低消費電力化する技術が不可欠だ。

分数分周タイプのデジタル PLL は、PLL 自身の低消費電力化や小面積化などを期待されこれまで多くの検討がなされているが、いまだ  $500\mu\text{W}$  未満の動作消費電力は、実現されていなかった。近年、PLL の低消費電力化、低ジッタ化を図るサブサンプリング技術の応用も提案されているが、ノイズなどによる出力周波数変動で、PLL が同期から外れてしまう、あるいは出力周波数がリファレンス周波数の整数倍異なる周波数に同期してしまうなど誤動作が生じやすいことが課題となっている。誤動作は、周波数同期回路 (FLL、frequency locked loop) を PLL 内に実装することで、サブサンプリング動作中の PLL の周波数を常時モニタすることで回避できるが、FLL は常時動作しているために PLL の消費電力の増大を招くことになる。(図 1)

## ●研究成果

開発したデジタル PLL は、サブサンプリング動作とサンプリング動作を組み合わせることで低消費電力化と PLL の誤動作回避を両立している。図 2 に提案する PLL の概念図を示す。サンプリング動作時に PLL の周波数がリファレンス周波数 REF に同期すると、PLL の動作モードは消費電力の少ないサブサンプリング動作に切り替わる。このサブサンプリング動作時の誤動作を解消するため、PLL には **ODZ 検出回路** (用語 6) と FLL が実装されている。ODZ 検出回路は PLL の同期が外れた状態を検出し、PLL の動作モードを自動的にサンプリング動作に切り替える。また、FLL は、PLL が所望ではない周波数に同期した状態を検出し、PLL の動作モードをサンプリングモードに切り替える。通常の FLL は常にエネルギーを消費するため消費電力増大を招くが、本提案では FLL 内のカウンタの**動作デューティ比** (用語 7) を 0.5% にまで低下させる FLL の間欠動作を実現し、消費電力削減を実現した。通常の FLL を用いたサブサンプリング PLL と比較し、開発した PLL はサブサンプリング動作時の消費電力をおよそ 70% 削減できることがシミュレーションで確認されている。

サブサンプリングとサンプリングの組み合わせ技術に加えて、ここではデジタル PLL の要素回路であり、通常 PLL 全体の消費電力の大部分を占める**デジタル制御発振器 (DCO)** (用語 8) と**デジタル時間変換器 (DTC)** (用語 9) の低消費電力化も実現した。これは PLL 全体の動作時消費電力の削減に貢献している。

提案する分数分周デジタル PLL 回路は図 3 に示すように最小配線半ピッチ (幅) 65nm のシリコン CMOS プロセスで試作された。PLL の性能要約を表 1 に示す。試作された PLL は 10MHz のリファレンス周波数から 2.05~3.10GHz の出力周波数を生成する。動作時の消費電

力は  $265 \mu W$  であり、これまでに報告されている分数分周デジタル PLL の中で最も低消費電力である。また PLL のジッタ特性 (用語 1.0) を表す  $FoM$  (用語 1.1) でも  $-236.8dB$  という良好な値を達成した。図 4 に提案する PLL 及び先行研究にて提案された PLL の、動作時の消費電力に対する FOM を示す。一般的に PLL のジッタ特性と消費電力はトレードオフの関係にあるが、提案する PLL はジッタ特性を維持したまま、つまり出力信号の品質を維持したまま低消費電力化を実現していることを実証した。

### ●今後の展開

本研究で開発されたデジタル PLL は高いエネルギー効率を必要とするアプリケーションの実現に貢献すると期待される。例えば、近年広がりを見せる IoT (モノのインターネット) においては、近い将来に IoT 機器の個数が 1 兆個にも及ぶと予測している。多くの IoT 機器は電池などの電源が必要で、その中で、いかに電池の寿命を延命し電池交換のメンテナンスコストを低下させるかが IoT 社会の実現の鍵を握っている。現状の IoT 機器は通信時に最も電力を使い、その通信回路の中でも PLL は消費電力の大部分を占める。開発した超低消費電力 PLL を適用することで、例えば、 $3mW$  程度の消費電力であるレシーバの消費電力は約半分程度になると予想される。

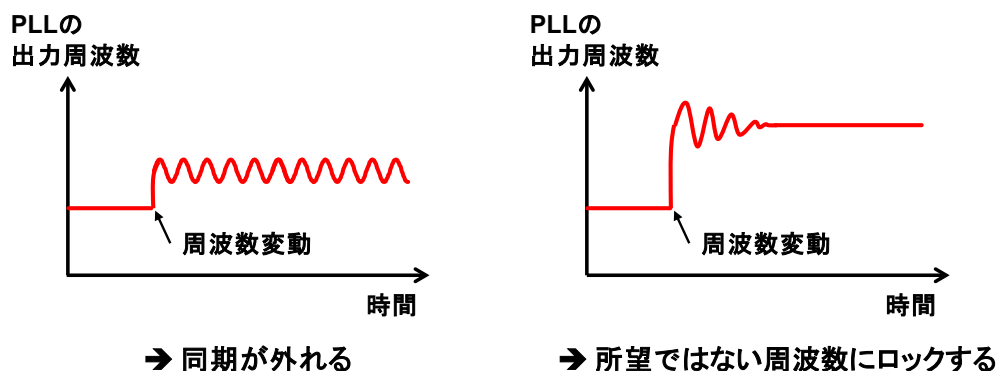


図 1 サブサンプリング PLL の誤動作の例

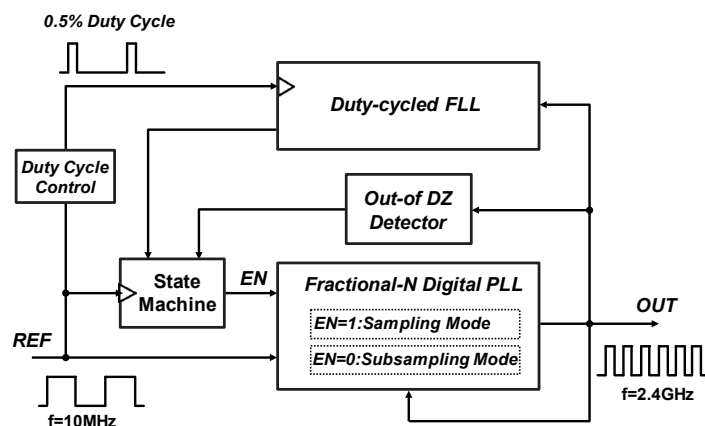


図 2 提案する分数分周タイプのデジタル位相同期回路のブロック図

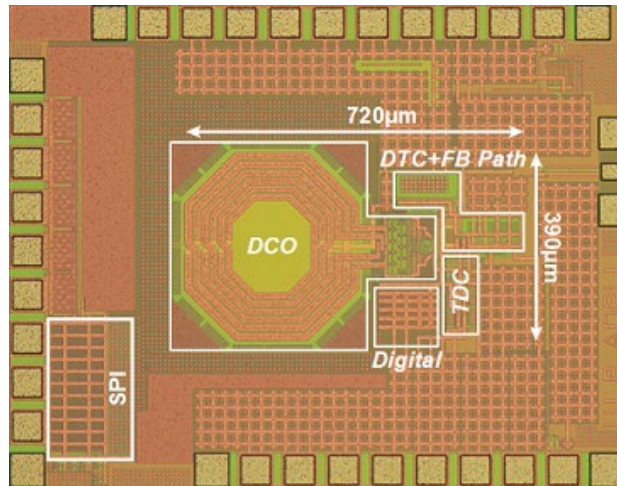


図3 開発したPLLのチップ写真

表1 開発したPLLの性能要約

	This Work	ISSCC'17	ISSCC'14	ISSCC'18
Output Frequency (GHz)	2.20 - 2.80	1.8 - 2.5	2.1 - 2.7	2.0 - 2.8
Power ( $\mu$ W)	<b>265</b>	673	860	980
FoM (dB)	<b>-236.8</b>	-235.8	-236	-245.6

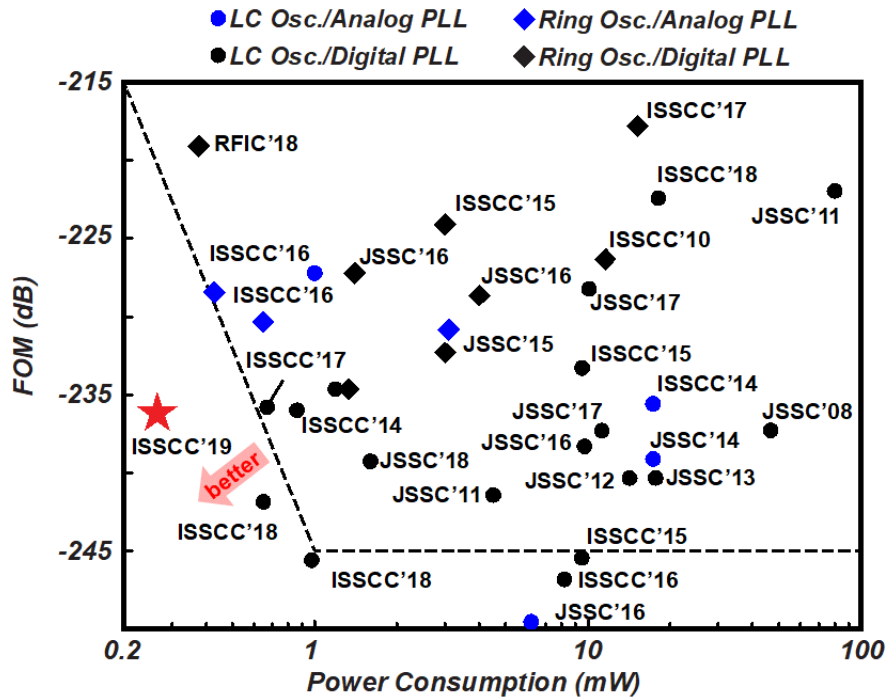


図4 PLLのFoM vs. 消費電力

## 【用語説明】

### 用語 1 : 位相同期回路 (PLL : Phase-Locked Loop)

集積回路中では正確な周波数基準が作れないため、水晶発振器による基準周波数  $f_{\text{ref}}$  を用い、それを  $N$  通倍して所望周波数  $N \cdot f_{\text{ref}}$  の周波数の信号を得る。PLL には、位相周波数比較器、チャージポンプ、ローパスフィルタを用いるアナログ PLL と、時間差デジタル変換器 (TDC) とデジタルローパスフィルタを用いるデジタル PLL (オールデジタル PLL と呼ばれる) が知られている。

### 用語 2 : 分数分周 PLL

PLL には、整数分周型と分数分周型がある。整数分周型 PLL では基準信号に対して整数倍の周波数を出力するが、分数分周型では分数倍の任意の周波数の出力が可能である。例えば、水晶発振器から入力される基準クロック周波数が 26MHz の場合、整数分周 PLL では 2418MHz (93 倍)、2444MHz (94 倍)、2470MHz (95 倍) の生成が可能であるが、分数分周 PLL では 2442MHz(93.923 倍)のような任意の小数精度の通倍動作が可能である。BLE 等の無線通信用には、整数分周型ではなく分数分周型の PLL が必要である。アナログ PLL では分数分周型を比較的容易に実現できるが、低消費電力化で有利なデジタル PLL において分数分周型のはジッタ特性が劣化しやすく実現が難しい。

### 用語 3 : PLL のサブサンプリング動作

周波数通倍器を介さないループにより位相を同期させる PLL の動作。通常の PLL のサンプリング動作と比較して PLL の出力信号は周波数通倍器によるノイズの影響を受けないために高精度化が望めるが、水晶発振器による基準周波数  $f_{\text{ref}}$  を  $N$  通倍した所望周波数  $N \cdot f_{\text{ref}}$  の周波数の信号を得るために FLL が必要となる。

### 用語 4 : CMOS プロセス

N 型と P 型の MOSFET を相補的に用いた集積回路であり、バイポーラプロセスと比較し消費電力の削減と高い集積率を実現したプロセスである。近年の集積回路はほぼ CMOS プロセスとなっている。

### 用語 5 : SoC (System on Chip)

プロセッサやメモリ、その他システムを実現するために必要となるすべての回路が集積された集積回路。

### 用語 6 : ODZ (Out-of-deadzone) 検出回路

PLL が同期した状態とは PLL への基準信号と PLL 内信号の位相偏差  $\Delta \Phi$  が小さくなり、PLL の不感帯 (deadzone) に収束した状態を指す。 $\Delta \Phi$  が不感帯より外れると PLL ループの負帰還が働き  $\Delta \Phi$  は不感帯内に収束する。本提案 PLL は  $\Delta \Phi$  が不感帯内にある場合サブサンプリング動作を行い、 $\Phi$  が不感帯から外れるとサンプリング動作を行うが、この動作モードの切り替えのために  $\Delta \Phi$  が不感帯から外れた状態を検出する Out-of-deadzone 検出回路が必要となる。

### 用語 7 : 動作デューティ比

必要時のみ動作しそれ以外の時間は待機状態にある間欠動作をする回路に関して、動作している時間と待機状態にある時間の比を示す。一般的な回路は動作時に待機時以上の電力を消費することから、この動作デューティ比を低下させることが回路の消費電力低下につながる。

用語 8 : デジタル制御発振器 (DCO : Digitally Controlled Oscillator)

デジタル制御値により発振周波数に変化する発振回路。PLL の発振周波数とリファレンス周波数の偏差に応じて DCO に与えるデジタル制御値が決まり、偏差を低下させるように DCO の発振周波数は変化する。PLL の出力周波数は DCO の発振周波数と一致する。

用語 9 : デジタル時間変換器 (DTC : Digital-to-Time Converter)

デジタル制御値により、遅延時間に変化する可変遅延回路。デジタル制御遅延回路 (DCDL, Digitally-Controlled Delay Line) と呼ばれる。PLL などの幅広い回路で利用されている。

用語 10 : ジッタ特性

クロックの重要な特性の一つで、クロック信号の立ち上がりまたは立ち下りタイミングが揺らぐ現象で、本来のタイミングからのずれが統計的にどれぐらいの幅を持つかで評価する。ジッタが小さいほど、クロックの揺らぎが小さい状況を示す。クロックを生成している発振器の位相雑音特性に大きく依存し、位相雑音が高いほど、ジッタも小さくなる。

用語 11 : FoM

FoM (Figure of Merit) の略で、消費電力で規格化したジッタ性能を示す。ジッタと消費電力はトレードオフの関係にあり、発振器の消費電力を増やすとジッタが減少し、消費電力を減らすとジッタが増加する。

FoM は、ジッタの標準偏差 ( $\sigma_t$ ) と消費電力  $P_{DC}$  を用いて、以下の式で定義される。

$$\text{FoM} = 10 \log \left[ \left( \frac{\sigma_t}{1s} \right)^2 \cdot \frac{P_{DC}}{1mW} \right]$$

ジッタ特性が同じで FoM が 10dB 小さければ、消費電力が 10 分の 1 であることに相当する。

## ●発表予定

この成果は 2 月 17 日～21 日にサンフランシスコで開催される「**2019 IEEE International Solid-State Circuits Conference (ISSCC 2019) : 2019 年米国電気電子学会 国際固体素子回路会議**」における講演セッション「Session 16 – Frequency Synthesizers」において、「A 265 $\mu$ W Fractional-N Digital PLL with Seamless Automatic Switching Subsampling/Sampling Feedback Path and Duty-Cycled Frequency-Locked Loop in 65nm CMOS (265 $\mu$ W で動作する分数分周デジタル PLL)」の講演タイトルで、現地時間 2 月 19 日午後 1 時 30 分から発表する。

(講演情報)

講演セッション：Session 16 –Frequency Synthesizers

講演時間：現地時間 2 月 19 日午後 1 時 30 分

講演タイトル：A 265 $\mu$ W Fractional-N Digital PLL with Seamless Automatic Switching  
Subsampling/Sampling Feedback Path and Duty-Cycled Frequency-Locked Loop  
in 65nm CMOS (265 $\mu$ W で動作する分数分周デジタル PLL)

(ISSCC 会議情報)

<http://isscc.org/>

<http://submissions.miramart.com/ISSCC2019/PDF/ISSCC2019AdvanceProgram.pdf>

**【問い合わせ先】**

東京工業大学 工学院 電気電子系 准教授

岡田 健一 (おかだ けんいち)

Email: [okada@ee.e.titech.ac.jp](mailto:okada@ee.e.titech.ac.jp)

TEL: 03-5734-3764 FAX: 03-5734-3764

**【取材申し込み先】**

東京工業大学 広報・社会連携本部 広報・地域連携部門

E-mail: [media@jim.titech.ac.jp](mailto:media@jim.titech.ac.jp)

TEL: 03-5734-2975 FAX: 03-5734-3661